

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-046198

(43)Date of publication of application : 14.02.1995

(51)Int.Cl.

H04B 14/04

G11B 20/10

H04J 3/22

H04N 7/24

(21)Application number : 05-190513

(71)Applicant : SONY CORP

(22)Date of filing : 30.07.1993

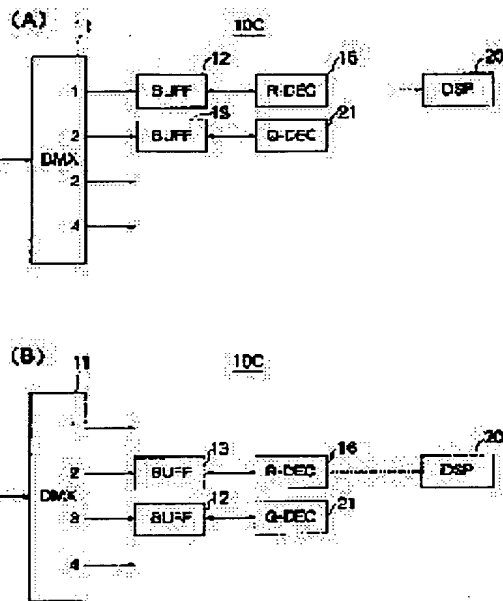
(72)Inventor : MAAKU FUERUTOMAN

(54) DECODING METHOD AND DECODER

(57)Abstract:

PURPOSE: To decode a played back or channel-switched video signal with short start-up delay.

CONSTITUTION: A decoder 16, a pseudo decoder 21 which nullifies data accumulated in buffer memory, and buffer memory 12, 13 which receive a video signal from a de-multiplexing circuit 11 and buffer it for prescribed delay time at the front stage of the pseudo decoder 21 are provided at a decoder 10C. When channel switching from 1 to 2 is performed, the video signal of channel 2 is started to be accumulated in unused buffer memory 13, and the decoder 16 performs decoding processing on the video signal accumulated in the buffer memory 13. The pseudo decoder 21 nullifies the data accumulation state of the video signal of channel 1 accumulated in the buffer memory 12. Since the decoder 16 can perform the decoding processing even without standing by until the data stored in the buffer memory 12 is discharged even by performing the channel switching, start-up delay can be reduced.



LEGAL STATUS

[Date of request for examination]

03.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3404808

[Date of registration]

07.03.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the art and equipment of a picture signal (video signal) and an acoustic signal, or a sound signal (audio signal). This invention compresses and encodes specifically the audio signal which synchronizes with a video signal and this video signal based on specification, such as MPEG (Motion Picture Image Coding Expert Group), provides a data transmission system or a data accumulation system with it as a bit stream, inputs this bit stream from a data transmission system or a data accumulation system further, and relates to expanding, the audio video (AV) signal-processing approach to decode, and equipment. Still more specifically, in case this invention performs the above-mentioned decode signal processing, it relates to the approach and equipment which shorten the start-up delay in the time of a play back or a channel change-over etc.

[0002]

[Description of the Prior Art] A compact disk read only memory (CD-ROM), a laser disk (LD), A video signal (video signal) and a sound signal (audio signal) are compressed and multiplexed to digital data are recording media, such as a video tape, a magneto-optics type record medium (MO), and DCC, (multiplexing), and it records directly as a bit stream. Again Read the bit stream multiplexed from the data accumulation medium, carry out demulti pre KUSHINGU, and expanding processing contrary to compression is carried out. What (it decodes) the original video signal before compression processing (original video signal) and the original audio signal are reproduced for is performed in the image and voice data processor of a video tape record regenerative apparatus, a multi-media system, and others. Moreover, after demulti pre KUSHINGU [the bit stream which outputted to the data transmission system or the data accumulation system as a bit stream which compressed the video signal and the audio signal, encoded and was multiplexed also in television broadcasting, satellite broadcasting service, a multi-media system, etc., and was multiplexed after that / input and], carrying out compressive reverse expanding processing and decoding an original video signal and an original audio signal is performed.

[0003] Compress a video signal and an audio signal into data accumulation media, such as CD-ROM, LD, and a video tape, encode to them, and it records on them. As international specification as an animation coding standard for are recording which elongates the video signal and audio signal which were recorded on the data accumulation medium, and which were encoded, and is decoded to an original video signal and an original audio signal the workgroup in SC2 which exists under the influence of JTC1 which deals with the common matter in the data-processing field of ISO and JEC (WG) -- 11 -- setting -- The specification MPEG 1 which MPEG (Motion Picture Image Coding Expert Group) defined, and specification MPEG 2 are known.

[0004] MPEG is a criterion on condition of wide range application, and is planning the case (it unlocks) where the case where phase simulation (phase lock) is taken, and phase simulation are not taken. When taking phase simulation, phase simulation of a video signal coding clock (that is, frame rate) and the audio signal coding clock (that is, audio signal sampling rate) is carried out to the common system clock criteria (System Clock Reference) SCR. It is being required that MPEG should add a time stamp to a

multiplexing bit stream with the period of 0.7 seconds in this case. When not taking phase simulation, a video signal and an audio signal are processed independently and these are decoded based on each time stamp added at the time of coding.

[0005] Moreover, MPEG has specified 1 second as a buffering time delay of a system target decoder. Furthermore, in the case of decode, MPEG prepared the directory for searching a video signal and an audio signal, and is carrying out the thing convention.

[0006] Drawing 5 is drawing showing the example of a configuration at the time of applying such MPEG1 or MPEG 2 to a video signal and an audio signal processor, the sign processor 100 inputs the incompressible video signal S2 and the incompressible audio signal S3 how, and generates a certain information about the restricted parameter system target decoder 400 how, and shows how the restricted bit stream suitable for various decode processors is formed. This video signal and an audio signal processor The source 2 of an incompressible video signal which offers the original video signal before compression processing (original video signal), the source 3 of an incompressible audio signal which offers the original audio signal before compression processing, these incompressible video signals S2, and the incompressible audio signal S3 are inputted. the sign processor 100 which carries out predetermined compression processing, encodes, carries out multiplexing processing (multiplexing) further, and outputs the compression coded signal S100 of a bit stream gestalt -- and It has the data transmission system or the data accumulation system 5 which transmits or accumulates the compression coded signal S1 of the bit stream gestalt from this sign processor 100. As a data transmission system or a data accumulation system 5, when performing data accumulation, it is CD-ROM, LD, a video tape, etc., and when performing data transmission, they are a television broadcasting communication system, a communication satellite system, a data communication system, etc. A video signal and an audio signal processor input the compression coded signal S5 of the bit stream gestalt sent out from a data transmission system or the data accumulation system 5 again. Expanding processing contrary to compression [in / decomposition processing (demulti pre KUSHINGU) is carried out, and / the sign processor 100] contrary to the multiplexing processing (multiplexing) in the sign processor 100 is carried out. It has the decode processor 600 which decodes decryption incompressible video signal S6A and decryption incompressible audio signal S6B equivalent to the incompressible video signal S2 before being inputted into the sign processor 100, and the incompressible audio signal S3. Further, a video signal and an audio signal processor have the restricted parameter (Constraint Parameter) system target decoder (STD: System Target Decoder) 400 which sends out guideline (reference signal) S4B to guideline (reference signal) S4A to the sign processor 100, and decode processor 6A, respectively in order to specify processing of the sign processor 100 and the decode processor 600.

[0007] the restricted parameter system target decoder 400 is virtual (Hypothetical) although called a system target decoder, a system-criteria (Reference) decoder, or a criteria decode processor -- here -- a following and restricted parameter system target decoder -- or it is simply called a system target decoder etc. The restricted parameter system target decoder 400 is CCITT. It is used in the International Standards, such as H.261 and an MPEG1 video criterion, and the guide for the designer of a video signal encoder and a video signal decoder (decoder) is given. In MPEG1 system standards, the system target decoder (STD) also has the criteria audio signal decoder. In these criteria models, each video signal and an audio signal decoder also have the buffer which has the buffer size currently recommended, and the criterion which describes how a video signal and an audio signal decoder are operated. The model which has the buffer size currently recommended is called "the restricted parameter system target decoder (STD)." The thing without the engine performance more than a restricted parameter system target decoder (STD) which many actual decode systems do not exist very much is expected practical. Therefore, when a bit stream is formed, and when it is required to reach the actual decoder of many numbers, generally a coding system creates the bit stream suitable for a restricted parameter system target decoder. these multiplexing bit streams -- restricted system-parameter stream: -- it is called Constraint System Parameter Stream: CSPS.

[0008] The restricted parameter system target decoder 400 has the demulti pre KUSHINGU section 401, the video signal buffer 402, the audio signal buffer 403, the video signal decoder 404, and the audio

signal decoder 405. In this example, the video signal buffer 402 has the memory capacity of 46 K bytes, and the audio signal buffer 403 has the memory capacity of 4 K bytes. The demulti pre KUSHINGU section 401 has a switching circuit, and, as for the video signal decoder 404 and the audio signal decoder 405, it is desirable from the field of an equipment configuration, and a flexible viewpoint to really consist of high-speed digital-signal-processing equipment (DSP) which takes the configuration suitable for high-speed data processing.

[0009] Drawing 6 (A) shows a format of the restricted parameter (multiplexing) system bit stream CPSP inputted into the restricted parameter system target decoder 400. This bit stream consists of two or more packs (PACK) arranged serially, and each pack contains a header (HEADER), video signal PAKKETTO (PACKET), and audio signal PAKKETTO. Each video signal PAKKETTO consists of PAKKETTO headers (PACKET HEADER) containing the time stamp (TIME STAMP) in which the video signal and the time of day of a frame for every frame of a video signal are shown. Each audio signal PAKKETTO consists of PAKKETTO headers containing the time stamp in which the predetermined audio signal and the time of day of a unit of every unit (unit) are shown. The time stamp of a unit $m+1$ is called the audio time stamp ats for the time stamp of the frame $n+1$ about a video signal about the video time stamp vts, a call, and an audio signal. That is, the sign processor 100 encodes the incompressible video signal S2 and the incompressible audio signal S3, and they are made into the multiplexing bit stream of the format shown in drawing 6 (A), it sends them out to a data transmission system or the data accumulation system 5, and the restricted parameter system target decoder 400 inputs and decodes the multiplexing bit stream S5 containing the compression coded signal based on this bit stream.

[0010] The incompressible video signal S2 and the incompressible audio signal S3 which are inputted into the sign processor 100 differ from each other in the number of data, and a rate, and also compressibility differs. Therefore, even if it carries out compression processing of the video signal and audio signal which were inputted into the sign processor 100 at the same time of day, the coding video signal and coding audio signal of the same rate and the same magnitude are not necessarily offered. Moreover, for example, even if it sees about a video signal, compressibility changes with contents of the video signal. The same is said of an audio signal. Therefore, from the sign processor 100, the coding video signal and coding audio signal in the condition (conditions) of having fixed are not necessarily outputted. In the decode processor 600, in case the video signal and audio signal of these origin are decoded as decryption incompressible video signal S6A and decryption incompressible audio signal S6B, it is necessary to take a synchronization in timing. Then, in order to realize such a synchronization, it has specified that MPEG adds the time stamp mentioned above for every frame to each of a video signal and an audio signal. That is, the video signal time stamp and the audio signal time stamp show the time of day which specifies the clock for performing the decode which took the synchronization with a video signal and an audio signal, and the audio signal time stamp shows the time of day which generates the clock for decoding an audio signal. In addition, the purpose using a time stamp is for the copy of the data in a sign system in order to solve the problem of buffering else [for taking the synchronization mentioned above].

[0011] Drawing 7 is the block diagram of the decode processor 600. The decode processor 600 has the demulti pre KUSHINGU section 601, the video signal bit stream configuration transform-processing section 602, the video signal receive buffer 603, the video signal decoder (decoder) 604, the picture rate control circuit 605, the audio signal bit stream configuration transform-processing section 606, the audio signal receive buffer 607, the audio signal decoder (decoder) 608, and the sampling rate control circuit 609. The demulti pre KUSHINGU section 601 inputs the multiplexing bit stream S5 of the format mentioned above, and decomposes it into a video signal, the video time stamp vts, an audio signal, and the audio time stamp ats (separation). The video signal bit stream configuration transform-processing section 602 inputs the video signal and the video time stamp vts which were separated, and changes them into the format shown in drawing 6 (B). The video signal receive buffer 603 carries out sequential storage, and outputs the changed video signal to the video signal decoder 604 according to the memorized sequence. Similarly, the audio signal bit stream configuration transform-processing section

606 is changed into the format which inputs the audio signal and the audio time stamp at which were disassembled, and is shown in drawing 6 (B). The audio signal receive buffer 607 carries out sequential storage, and outputs the changed audio signal to the audio signal decoder 608 according to the memorized sequence. The video signal decoder 604 decodes the video signal outputted from the video signal receive buffer 603 based on the timing signal outputted from the picture rate control circuit 605. The audio signal decoder 608 decodes the audio signal outputted from the audio signal receive buffer 607 based on the timing signal outputted from the sampling rate control circuit 609.

[0012] The video signal receive buffer 603 and the audio signal receive buffer 607 which were mentioned above are described. A video signal and an audio signal cannot be decoded using the clock which was completely in agreement on the occasion of decode. The 1st reason is that compressibility differs as mentioned above. Decode of an audio signal [in / reason / 2nd / the audio signal decoder 608] is described. The input data rate of the audio signal inputted into the audio signal decoder 608 decoded at the video rate of immobilization and the transfer video rate of the audio signal outputted from the data transmission system or the data accumulation system 5 change depending on the error of a sampling rate clock. Furthermore, since one audio signal and an access unit are generally inputted into the audio signal decoder 608 at once, the transfer rate of the multiplexing bit stream S5 from a data transmission system or the data accumulation system 5 and the data rate with the audio signal inputted into the audio signal decoder 608 are not in agreement. Then, it is constituted so that the audio signal receive buffer 607 may be formed in the preceding paragraph of the audio signal decoder 608 and the inequality of the data rate mentioned above may be adjusted. The relation mentioned above to drawing 8 is illustrated.

[0013] Moreover, since variable-length-coding processing of the video signal is compressed and carried out for every frame in the sign processor 100 as illustrated to drawing 9 (every [or] field), the input data rate to the video signal decoder 604 changes a lot depending on compression of the video signal in the sign processor 100. Therefore, the memory capacity of the video signal receive buffer 603 becomes larger than the memory capacity of the audio signal receive buffer 607. For example, the memory capacity of the audio signal receive buffer 607 of the memory capacity of the video signal receive buffer 603 is 4 K bytes to 46 K bytes. As a receive buffer of the video signal receive buffer 603 or the audio signal receive buffer 607, the buffering timing of (illustrating the video signal receive buffer 603 hereafter) is shown in drawing 10. As shown in drawing 10 (A), as this buffering The condition that the amount of data which subtracted the memory capacity of the video signal receive buffer 603 shown with the broken line from the amount of the data inputted into the video signal receive buffer 603 does not exceed the amount of the data read from the video signal receive buffer 603, That is, the condition, i.e., the condition of not producing overflow, that the amount of the data which were not made to produce an underflow and were read from the video signal receive buffer 603 does not exceed the amount of the data inputted into the video signal receive buffer 603 is ideal. However, as illustrated to drawing 10 (B), overflow or an underflow may arise in this buffering.

[0014] As an approach of preventing the overflow or the underflow in this buffering, the processing illustrated to drawing 11 (A) - drawing 11 (C) is considered, for example. The 1st approach is what is called the "are recording media slave approach", as illustrated to drawing 11 (A). The memory capacity of the video signal receive buffer 603 does not exceed the amount L3 of the data read from the video signal receive buffer 603 from the amount of data L1 inputted into the video signal receive buffer 603. And the amount of the data inputted into the video signal receive buffer 603 as curvilinear L1' showed that the amount L3 of the data read from the video signal receive buffer 603 did not exceed the amount L1 of the data inputted into the video signal receive buffer 603 is controlled. A curve L2 shows change of the amount which subtracted the memory capacity of the video signal receive buffer 603 from the data L1 inputted into the video signal receive buffer 603, and curvilinear L2' shows change of the amount of the controlled data which were inputted into the video signal receive buffer 603 in fact. The 2nd approach is what is called the "decoder slave approach", as illustrated to drawing 11 (B). The amount of data L2 from which the amount of data L1 inputted into the video signal receive buffer 603 subtracted the memory capacity of the video signal receive buffer 603 The amount L3 of the data read from the video signal receive buffer 603 is not exceeded. And the frame rate of the video signal decoder

604 is changed, and data are read from the video signal receive buffer 603 so that the amount L3 of the data read from the video signal receive buffer 603 may not exceed the amount L1 of the data inputted into the video signal receive buffer 603. Change of the amount of the data actually read from the video signal receive buffer 603 is shown as curvilinear L3'. As mentioned above, although the video signal was described, the amount of the data which the sampling rate of the audio signal decoder 608 is changed also in an audio signal, and read it from the audio signal receive buffer 607 is adjusted. As illustrated to drawing 11 (C), the 3rd approach adjusts the amount of the data read from the video signal receive buffer 603, and adjusts the amount of the data which skip an access unit, carry out regeneration, for example, are read from the video signal receive buffer 603. Change of the amount of the data which curvilinear L3' was adjusted and were read from the video signal receive buffer 603 is shown.

[0015] However, since changing the transfer rate from the frame rate, the sampling rate, data transmission system, or the data accumulation system 5 of the decoder (decoder) mentioned above affects the equipment with which the exterior of a video signal and an audio signal processor is related, it cannot change freely but is restricted to a certain range. Consequently, when overflow or an underflow occurs frequently in buffering, it cannot be prevented completely. Especially malfunction of the decode processing resulting from the overflow or the underflow in buffering is produced at the decode initiation time. Therefore, in the decoder, how to perform processing delayed in decode processing at the time of the early stages of playback "start-up delay (delayed at the initiation time)", and solve this problem is considered.

[0016] Many modes of buffering based on start-up delay are shown in drawing 12. Drawing 12 (B) shows the case where start-up delay is short and, as for drawing 12 (A), an underflow produces drawing 12 (D) when start-up delay is long and the video signal receive buffer 603 overflows buffering when buffering is ideally performed to start-up delay independently and start-up delay is performed appropriately, and drawing 12 (C).

[0017] In MPEG, as mentioned above, the system clock criteria SCR for taking phase simulation to the header of each pack can be described, and the system clock criteria SCR can be used in order to define a transfer bit rate. Furthermore, the time stamp with which video signal PAKKETTO is described by the header of audio signal PAKKETTO in MPEG can be used in order to control a frame rate or a sampling rate. That is, as illustrated to drawing 13, the system clock criteria SCR show the time of day of the multiplexing bit stream S5 inputted into the decode processor 600 from the data transmission system or the data accumulation system 5, and the time stamp of video signal PAKKETTO or audio signal PAKKETTO shows the time of day when the video signal or the audio signal was outputted from the video signal receive buffer 603 or the audio signal receive buffer 607. A crystal oscillator is used for such time of day, and it is 90KHZ(s). It is recordable at time of day absolutely using a reference clock. Thus, the difference of the system clock criteria SCR and a time stamp can be used for start-up delay. In drawing 13, Notation DTS shows the decoder time stamp which means decode time of day, Notation PTS shows the picture time stamp which means a video signal, i.e., the decode time of day of a picture, and Notation H shows a header.

[0018] As mentioned above, it is necessary to synchronize these both decode result, and a time stamp is used for this synchronization on the occasion of the decode of an audio signal and the decode of a video signal in MPEG. The decode processing time of day of a video signal and an audio signal is assumed to be 0 second. As shown in drawing 14, in the frame as a B picture except the frame as I picture and a P picture that is, the decode time of day of an access unit shown with a time stamp becomes the same as the display time of day when B picture is displayed. That is, the inside of the video signal by which the sequential input is carried out through the demulti pre KUSHINGU section 601 at the video signal receive buffer 603, The video signal of I picture of the i-th frame of the m-th video-signal PAKKETTO: Frame i (I) is time of day DTSM. After being read from the video signal receive buffer 603 and decoding, The video signal (frame) of I picture prepared in the latter part of the video signal decoder 604 and P picture is memorized to the I/P buffer memorized temporarily. Decode time of day differs from display time of day with the video signal of I picture, and the video signal of P picture. Then, although DTS and PTS as a time stamp in which decode time of day and display time of day are shown,

respectively are recorded on the header of video signal PAKKETTO corresponding to the video signal, since DTS of the following I picture and P picture of the display time of day PTS of the video signal of I picture and P picture is the same, the display time of day PTS is omissible.

[0019] However, in the video signal based on MPEG mentioned above, and an audio signal processor, the problem that the circuitry of the video signal bit stream configuration transform-processing section 602 and the audio signal bit stream configuration transform-processing section 606 becomes complicated is encountered. When inputted without premising the video signal and audio signal processor which were furthermore mentioned above on the data inputted into the decode processor 600 being the bit stream by which multiplexing was carried out, for example, carrying out multiplexing of either a video signal or an audio signal, it could not decode, but when it took into consideration performing various decode processings as a decode processor, the problem was in the versatility.

[0020] Then, the applicant for this patent (invention-in-this-application person) proposed the video signal and audio signal decode equipment which solve the problem mentioned above (see Japanese Patent Application No. No. 63293 [five to] of application, and the "data decryption equipment" on February 26, Heisei 5). The configuration of this decode equipment is shown in drawing 15 . The bit stream at this time is shown in drawing 6 or drawing 16 . the bit stream shown in drawing 16 -- two or more video signal PAKKETTO and audio signal PAKKETTO -- continuing -- each video signal PAKKETTO of two or more -- the 1st video signal PAKKETTO header and 1st picture group GOP0-the 4th video signal PAKKETTO header and the 4th picture group GOP3 are arranged. The time stamp of this video signal is stored in each video signal PAKKETTO header. The video signal of 20 frames is stored in each picture group. The audio signal time stamp and the audio signal access unit AAU are stored in audio signal PAKKETTO.

[0021] This decode equipment is demulti pre KUSHINGU 501, DSP502, and 90KHZ. It has the clock generation machine 503 which generates a clock, the whole time-of-day register 504, video signal receive buffer 505a, audio signal receive buffer 505b, video signal decoder 506a, audio signal decoder 506b, video signal time stamp buffer 507a, audio signal time stamp buffer 507b, phase lock loop (PLL) 508for video signal clocks a, and PLL508b for audio signal clocks. Video signal time stamp buffer 507a and an audio signal time stamp are stored in audio signal time stamp buffer 507b for the video signal time stamp disassembled from the bit stream in demulti pre KUSHINGU 501. Moreover, the video signal decomposed from the bit stream is stored in video signal receive buffer 505a, and the decomposed audio signal is stored in audio signal receive buffer 505b. The data stored in these buffers 505a and 505b are decoded in the state of a synchronization in Decoders 506a and 506b with the clock from PLL 508a and 508b, respectively. Thus, it can be made easy circuitry.

[0022] A format and its processing of a multiplexing bit stream are illustrated to drawing 17 . However, this bit stream is omitting [video signal] about the example and the audio signal. The configuration of the video signal by MPEG based on this bit stream and an audio signal processor is shown in drawing 18 . The restricted parameter system target decoder 410 has the demulti pre KUSHINGU section 411, the video signal buffer 412, the audio signal buffer 413, the directory data buffer 414, the video signal decoder 415, the audio signal decoder 416, and the directory decoder 417. The decode processor 610 is constituted like the restricted parameter system target decoder 410. The sign processor 110 generates the bit stream illustrated to drawing 17 (A). The 1st video signal PAKKETTO corresponding to the 1st directory PAKKETTO and this directory PAKKETTO in this bit stream is a pair. A directory PAKKETTO header, then the 1st - the 20th pointer P0-P19 are stored in the first location in directory PAKKETTO. the location of the beginning of video signal PAKKETTO -- a video signal PAKKETTO header -- continuing -- the 1- the 20th picture group GOP0-GOP19 is stored. The 1st pointer P0 specifies the 1st picture group's GOP0 record location etc. A picture group's location where other pointers correspond is specified.

[0023] As an example, the playback actuation in a video tape record regenerative apparatus is illustrated. In this case, the sign processor 110 is a recording system of a video tape record regenerative apparatus, a data transmission system or the data accumulation system 5 is a video tape, and the decode processor 610 is a reversion system. As shown in drawing 17 (B), before a user demands first forward (First

Forward:FF) actuation or first reverse (First Reverse:FR) actuation, from a video tape 5, one by one, a picture group reads continuously, and a pointer is stored in a directory buffer, he stores a video signal in a video signal buffer based on the contents of record of a directory PAKKETTO header, and the contents of assignment of a pointer, and the decode processor 610 decodes a video signal in a video signal decoder. If a user demands first forward actuation as shown in drawing 17 (C), skip actuation is performed until the directory data stored in the directory buffer become empty, and the picture group is flown. And as shown in drawing 17 (D), even the pointer of the location where a new directory was stored in the directory buffer returns. As shown in drawing 17 (E), the actuation mentioned above in first forward actuation, i.e., feedback actuation, is performed.

[0024] Moreover, in MPEG, it has prescribed that the time delay of buffering mentioned above, and this buffering time delay when not taking phase simulation is restricted with less than 1 second.

[0025] Drawing 19 (A) is the outline block diagram of a decode processor mentioned above. As one example of the decode processor mentioned above, this illustration made the channel selection of one of the video signals of two or more channels compressed in the television receiver in the demulti pre KUSHINGU circuit 11, once accumulated it in the video signal buffer memory 12, and has illustrated the case where perform decode processing of expanding etc. and the video signal compressed with the video signal decoder 16 is outputted to a regenerative apparatus 20, for example. Demulti pre KUSHINGU [the demulti pre KUSHINGU circuit 11 / the video signal of two or more channels] to demulti pre KUSHINGU [the demultiplexers 501 and 601 in these examples / the video signal and the audio signal] although the demulti pre KUSHINGU circuit 11 supports functionally the demultiplexer 601 shown in drawing 7 , and the demultiplexer 501 illustrated to drawing 15 . The video signal buffer memory 12 operates like the video signal receive buffer 603 illustrated to drawing 7 , and video signal receive buffer illustrated to drawing 15 505a. The video signal decoder 16 has the same function as the video decoder illustrated to drawing 7 and drawing 15 . Buffering processing with the video signal buffer memory 12 and the video signal decoder 16 performs same processing with having stated with reference to drawing 9 . Although the relation of an illustration described only the processor of a video signal, the configuration and processing same also about an audio signal as the above can be performed. [0026] As illustrated to drawing 19 (A), through the demulti pre KUSHINGU circuit 11, the video signal of a channel 1 is inputted into the video signal buffer memory 12, the video signal decoder 16 carries out decode processing of the video signal buffered by this video signal buffer memory 12, and a decode processing result is outputted to a regenerative apparatus 20. When a channel change-over arises from a channel 1 in a channel 2 as illustrated to drawing 19 (B) next, the video signal of a channel 2 is buffered by the video signal buffer memory 12 through the demulti pre KUSHINGU circuit 11, and, as for the video signal decoder 16, decode processing is performed about this new buffering video signal. [0027]

[Problem(s) to be Solved by the Invention] However, in the decode equipment illustrated to drawing 19 , since it has only one buffer memory 12 and a video signal decoder about two or more channels, the problem of the start-up delay for 1 second mentioned above at the time of a channel change-over is encountered. That is, although a video signal is accumulated in buffer memory 12 by the approach mentioned above and it is discharged with the video signal decoder 16 for decode processing, when a channel switch is performed at a certain time, unless it discharges all the video signals of the channel chosen before from buffer memory 12, the video signal about the newly chosen channel cannot be inputted into buffer memory 12, and video signal decode processing cannot be performed. For this reason, start-up delay happens. Since an audio signal is reproduced like a video signal, the start-up delay same also about an audio signal as the above happens. Since the video signal and audio signal of a channel which were newly chosen as the regenerative apparatus 20 are not reproduced between this start-up delay, although the user performed the channel switch, the image and sound of a channel which were newly switched are not obtained. That is, a problem is in the responsibility at the time of a channel switch at a current decode processor.

[0028] It happens not only at the channel switch in a problem, a television receiver, etc. which were mentioned above but at the time of the play back of a video signal. With reference to drawing 20 , the

problem of the start-up delay at the time of a play back is described. As shown in a curve valve flow coefficient 1, the bit rate of this example to which the bit rate which carries out decode processing of the 1st part is the three mega (M) bits per second, and decodes the 2nd part is 6M bit per second. When the video signal decoder 16 starts play back processing at the initiation time of the 1st part, about this bit stream, there is almost no start-up delay and it is satisfactory. However, about this bit stream, when the video signal decoder 16 starts play back processing at the initiation time of the 2nd part, as mentioned above, the start-up delay for 1 second is required.

[0029] Drawing 21 is a graph which shows the condition that a video signal is accumulated in buffer memory 12, after performing start-up delay for 1 second. intra (intra) with many [to the image amount of data] access point in drawing 21 -- when it is - picture, only access to the initiation time of the 2nd part is possible. general -- intra - picture is regularly generated in the bit stream of a video signal. Then, if a user demands the beginning of a play back at the initiation time of the 2nd part, a user cannot get playback information, i.e., a playback video signal, and a playback audio signal about 1 second at least by the start-up delay for 1 second.

[0030] Drawing 22 is a graph explaining buffering in case a bit stream has start-up delay still longer than 1 second. when a bit stream is longer than 1 second, quick start-up delay is made possible using a transmission rate higher than the usual transmission rate -- high-speed -- if it puts in another way, expensive buffer memory (storage) is needed. * The connected curve abi (actual decoder buffer input) shows the input of the video signal to actual buffer memory, the curve abo (actual decoder buffer output) which connected the sunspot shows the output of the video signal to actual buffer memory, the curve ibo (intended decoder buffer output) which connected O mark shows the output of the video signal to the buffer memory as a design value, and the curve ovf which connected + shows the overflow limitation of a buffer. In this example in which the decode processor has the storage of high performance, are recording of a video signal starts in buffer memory at a 15M bit per second rate. Consequently, a 7.5M bit video signal is accumulated in buffer memory after 0.5 seconds. The accumulated dose of this video signal is equal to the amount which accumulated the video signal for 1.67 seconds at the 4.5M bit per second rate. That is, in this example, it is enough in 0.5 seconds as initiation of buffer memory. In this example, if are recording of a video signal is performed at a 15M bit per second rate and buffer memory fills until the readout of a video signal starts at a 6M bit per second rate, a rate will be changed so that a video signal may be accumulated at the rate which is 6M bit per second. However, although this approach shortens start-up delay, since an expensive storage means is needed and rate control is performed, processing becomes complicated.

[0031] This invention aims at offering the compressed video signal, the compressed audio signal, the decode art which crawls and shortens the start-up delay in the time of a channel change-over or a play back etc. about one [a gap or] decode, and decode processor (equipment) which were mentioned above.

[0032]

[Means for Solving the Problem] In this invention, at least one false decoder which cancels the data stored in one buffer memory means and the same buffer memory means as at least one above other than one decode means of buffering a picture signal and an acoustic signal by the predetermined time delay, and the buffer memory means is used. A buffer memory means is buffered by the predetermined time delay about the picture signal compressed and the sound (voice) signal compressed, or either, as mentioned above. A decode means performs decode processing of expanding etc. for the data stored in the buffer memory means. A false decode means cancels the data stored in the buffer memory means. Hereafter, it illustrates about the case of a channel selection, and play back's case.

[0033] The case of a channel change-over is described. A means to output the picture signal compressed about the channel chosen among acceptance and this multiple channel about the multiple channel in the picture signal with which the decode equipment of this invention was compressed at least, The buffer memory means which was connected to said selection output means in actuation so that the picture signal outputted from this selection output means might be accepted and in which at least two juxtaposition actuation is possible, At least one decode means which reads the picture signal which was

connected to either of these buffer memory means in actuation, and was accumulated in the this connected buffer memory means, and carries out decode processing, It has at least one false decode means by which said decode means carries out nullification processing of the picture signal accumulated in the buffer memory means which was connected to one buffer memory means of the ways which are not connected in actuation in actuation, and was this connected to it among said buffer memory means. Suitably, ** to a continuous channel change-over and said one decode means is established. On both sides of said decode means, two of said false decode means are prepared forward and backward in channel location. For the buffer memory means which said three buffer memory means are established and is connected to said decode means in actuation The picture signal of the channel chosen from said selection output means is impressed, and a picture signal is accumulated. Said decode means carries out decode processing of the picture signal accumulated in a buffer memory means by which this picture signal is accumulated. The false decode means of the location which carries out backward to the channel selection of said false decode means cancels the picture signal of a buffer memory means by which the picture signal was accumulated just before the channel selection. Said decode processing is performed still more suitably also about said compressed picture signal and the sound signal compressed into the coincidence target. Moreover, specifically, said picture signal and said sound signal are a bit stream gestalt.

[0034] Play back's case is described. At least two buffer memory means in which juxtaposition actuation is possible to accept the picture signal with which the decode equipment of this invention was compressed at least, At least one decode means which reads the picture signal which was connected to either of these buffer memory means in actuation, and was accumulated in the this connected buffer memory means, and carries out decode processing, It has at least one false decode means by which said decode means carries out nullification processing of the picture signal accumulated in the buffer memory means which was connected to one buffer memory means of the ways which are not connected in actuation in actuation, and was this connected to it among said buffer memory means. a buffer-memory means to by_ which the picture signal from the demanded play back point in time is connected to said false decode means in actuation in this decode equipment when a play back is required -- buffering -- said decode means -- this -- the picture signal newly buffered is decoded and said false decode means cancels the picture signal accumulated in a buffer-memory means to by_ which the picture signal before a play back demand is accumulated. Suitably, said decode processing is performed also about said compressed picture signal and the sound signal compressed into the coincidence target. Moreover, specifically, said picture signal and said sound signal are a bit stream gestalt.

[0035]

[Function] An operation of a channel change-over is described. the picture signal of a channel with which the selection output means was newly chosen when there was a channel change-over -- the buffer memory means of an intact condition -- buffering -- a decode means -- this -- the picture signal newly buffered is decoded. A false decode means cancels the picture signal accumulated in a buffer memory means by which the picture signal of the channel before selection is still accumulated. The picture signal of the newly chosen channel can be decoded without waiting for the time amount which discharges by this the picture signal accumulated in the buffer memory means before a decode means choosing, i.e., start-up delay. The false decode means does not need to have the function to actually perform decode processing, and only carries out nullification processing of the data within a buffer memory means, and the configuration is easy.

[0036] Play back's operation is described. the picture signal from the play back point in time demanded when a play back was required -- the buffer memory means of an intact condition -- buffering -- a decode means -- this -- the picture signal newly buffered is decoded. A false decode means cancels the picture signal accumulated in a buffer memory means by which the picture signal before a play back demand is still accumulated.

[0037]

[Example] The decode approach of this invention and the example of decode equipment are described. Drawing 1 is the block diagram of the video signal decode equipment 10 which carries out decode

processing of the video signal as the 1st example of the decode equipment of this invention. The decode equipment shown in drawing 1 is equivalent to the decode equipment described with reference to drawing 19 as a conventional technique. That is, this video signal decode equipment 10 illustrates decode processing in case there is a channel change-over about a multiple channel in the television receiver which performs decode processing of expanding etc. about the compressed video signal, for example. Although it becomes a configuration with the same said of an audio signal, it omits due to an illustration.

[0038] In addition, as a signal-processing system which provides video signal decode equipment 10 with a video signal and an audio signal, it is the signal-processing system illustrated to drawing 5 and drawing 18, and in the coding processor 100, a video signal and an audio signal are compressed instantaneous, and a time stamp is attached, it sends out to the data accumulation system 5 or the data transmission system 5, and video signal decode equipment 10 decodes such a video signal and an audio signal that were compressed in the decode processor 600. As a data transmission system or a data accumulation system 5, as a data transmission system, a satellite system, a data communication system, etc. are applicable, and CD-ROM, LD, a video tape, etc. are applicable as a data accumulation system. Hereafter, in this example, the case where a satellite system or CD-ROM, LD, etc. are used is described as a data transmission system or a data accumulation system 5.

[0039] 1st video signal decoder 16- prepared in the 1st video signal buffer memory 12 by which the video signal decode equipment 10 shown in drawing 1 was formed in 11 or 4 demulti pre KUSHINGU circuits juxtaposition - the 4th 15 or 4 video signal buffer memory juxtaposition -- it has the 4th video signal decoder 19 and one regenerative apparatus 20. In this video signal decode equipment 10, the demulti pre KUSHINGU circuit 11 outputs the video signal of the selected channel to the video signal buffer memory corresponding to that channel according to a channel change-over. This example illustrates the case where there are four channels as the number of channels. 1st video signal buffer memory 12- the 4th video signal buffer memory 15 performs buffering actuation by the time delay of the predetermined time which collaborated with the corresponding video signal decoder and was mentioned above. A thing which was described with reference to drawing 22 and which carries out especially high-speed operation does not need to be used for buffer memory. 1st video signal decoder 16- each of the 4th video signal decoder 19 has the same configuration and same function as the decoder fundamentally described with reference to drawing 19, and decodes the video signal accumulated in the corresponding buffer memory 12-19 prepared in the preceding paragraph based on the decode art mentioned above. The video signal decoded in the video signal decoder corresponding to the selected channel is reproduced in a regenerative apparatus 20. Although a regenerative apparatus 20 is only playback of a video signal in this example, when also performing decode of an audio signal, a regenerative apparatus 20 also performs playback of an audio signal.

[0040] Drawing 1 shows the condition that the channel 2 is chosen. Therefore, in this condition, a video signal is accumulated in the 2nd video signal buffer memory 13 from the demulti pre KUSHINGU circuit 11, and the 2nd video signal decoder 17 carries out decode processing of the video signal accumulated in the 2nd video signal buffer memory 13, and outputs that decode result to a regenerative apparatus 20. When a user switches to a channel 1 from a channel 2, the video signal of a channel 1 is outputted to the 1st video signal buffer memory 12 from the demulti pre KUSHINGU circuit 11, and the video signal of a channel 1 is accumulated in the 1st video signal buffer memory 12. In connection with this, the 1st video signal decoder 16 is started about decode processing, and the 2nd video signal decoder 17 stops about decode processing. A regenerative apparatus 20 is connected to the 1st video signal decoder 16 in actuation by this, and the 2nd real video signal decoder 17 is separated from a regenerative apparatus 20. The 1st video signal decoder 16 carries out decode processing of the video signal accumulated in the 1st video signal buffer memory 12, and outputs the decode result to a regenerative apparatus 20. Start-up delay does not exist in this change-over. In addition, although the input of an already new video signal is lost to the 2nd video signal buffer memory 13 corresponding to the channel 2 chosen before, the video signal accumulated before the channel change-over still remains in the 2nd video signal buffer memory 13. Then, even if the 2nd video signal decoder 17 discharges the

video signal which remains in the 2nd video signal buffer memory 13 by the start-up delay function and has the next channel change-over, it makes usable 2nd video signal buffer memory 13 without start-up delay.

[0041] As mentioned above, if buffer memory and a video signal decoder are formed corresponding to the number of channels, it can conform without start-up delay to a channel change-over. However, although only the number of channels has formed buffer memory and a real video signal decoder, as each of a video signal decoder was mentioned above, since the video signal decode equipment 10 illustrated to drawing 1 collaborates with buffer memory, and performs buffer processing and also it performs decode processing of synchronous processing, expanding processing, etc. based on a time stamp at a high speed, if circuitry is complicated and being constituted using DSP etc., it will serve as an expensive rank. Then, other examples which solve the problem mentioned above are described.

[0042] Drawing 2 is the block diagram of video signal decode equipment 10A as the 2nd example of the decode equipment of this invention. this video signal decode equipment 10A -- the demulti pre KUSHINGU circuit 11 and 1st video signal buffer memory 12- it has the 4th video signal buffer memory 15, the 1st real video signal decoder 16 and the 2nd real video signal decoder 17, the 1st false video signal decoder 21, the 2nd false video signal decoder 22, and a regenerative apparatus 20. Also in the 2nd example, since the number of channels is 4, it has prepared four buffer memory. Although the 1st real video signal decoder 16 and the 2nd real video signal decoder 17 have the same configuration and the same function substantially with the 1st video signal decoder 16 and the 2nd video signal decoder 17 which were illustrated to drawing 1 In the 2nd example, "the fruit (real)" was added for distinguishing from false [of the 1st false video signal decoder 21 which means actually performing decode processing and does not actually perform decode processing, and the 2nd false video signal decoder 22 / "false / false (Quasi) /"].

[0043] The 1st false video signal decoder 21 and the 2nd false video signal decoder 22 make nullification substantially the video signal accumulated in the buffer memory connected to the preceding paragraph in actuation. Some examples of concrete processing of this nullification processing are illustrated. The false video signal decoder 21 (or 22) detects the header (head location) of the picture accumulated in buffer memory based on the picture rate from the time stamp and video signal sequence layer from the packet header mentioned above, and the 1st nullification approach cancels the video signal after it. The 2nd nullification approach clears compulsorily the control word which shows the are recording condition of a video signal that the false video signal decoder 21 (or 22) is accumulated in buffer memory, and it is made for the video signal not to exist in the buffer memory. For the false video signal decoder 21 (or 22), buffer memory is [the 3rd nullification approach] usually FIFO (First-in First-out). Since it operates in many cases, this FIFO processing state is cleared and it is made for the video signal not to exist in that buffer memory. In this way, since the 1st false video signal decoder 21 and the 2nd false video signal decoder 22 are easy memory control processings, an easy configuration is sufficient as them and they can be constituted cheaply. That is, it does not become complicated circuitry like the 1st real video signal decoder 16 and the 2nd real video signal decoder 17. And since they cancel the video signal of buffer memory compulsorily, even if the 1st false video signal decoder 21 and the 2nd false video signal decoder 22 have the next channel selection, they can conform.

[0044] As for drawing 2 (A), the 1st real video signal decoder 16 and the 2nd real video signal decoder 17 show the condition of processing the video signal of a channel 1, and the video signal of a channel 2, respectively. If a user chooses a channel 3 as shown in drawing 2 (B), the video signal of a channel 2 will be outputted to the 3rd video signal buffer memory 14 from which the demulti pre KUSHINGU circuit 11 is already idle status with the 1st false video signal decoder 21. Thereby, a video signal begins to be accumulated in the 3rd video signal buffer memory 14. The 1st real video signal decoder 16 is separated from the 1st video signal buffer memory 12 connected in actuation by coincidence, is connected to the 3rd video signal buffer memory 14 in actuation at it, and decode processing of the video signal accumulated in the 3rd video signal buffer memory 14 is carried out. A regenerative apparatus 20 is connected to the 1st real video signal decoder 16 in actuation from the 2nd real video signal decoder 17, and the video signal which carried out decode processing with the 1st real video

signal decoder 16 is outputted to a regenerative apparatus 20 by this decode processing. On the other hand, the 1st false video signal decoder 21 is connected to the 1st video signal buffer memory 12 separated from the 1st real video signal decoder 16 in actuation, and the video signal which remains in the 1st video signal buffer memory 12 is cancelled.

[0045] In the 2nd example, since buffer memory is prepared, only the number of channels The connection relation with the 4th video signal buffer memory 15 is fixed. the demulti pre KUSHINGU circuit 11 and 1st video signal buffer memory 12- 1st video signal buffer memory 12- in the 4th video signal buffer memory 15, the 1st real video signal decoder 16 and the 2nd real video signal decoder 17, and a list The case where the connection relation between the 1st false video signal decoder 21 and the 2nd false video signal decoder 22 was connected in actuation was illustrated. In the 2nd example, the 1st false video signal decoder 21 performs nullification processing of the video signal of the buffer memory connected to the 1st real video signal decoder 16 in actuation, and the 2nd false video signal decoder 22 cancels the video signal of the buffer memory connected to the 2nd false video signal decoder 22 in actuation. Since two real video signal decoders 16 and 17 are formed in video signal decode equipment 10A of the 2nd example, even if a channel selection is performed to arbitration, a decode processing video signal can be offered without start-up delay about the channel chosen quickly.

[0046] Drawing 3 is the block diagram of video signal decode equipment 10B as the 3rd example of the decode equipment of this invention. Especially this video signal decode equipment 10B is the configuration of having been suitable for the method with which a channel is switched in order. That is, when the one number of channels will increase if the upper shift carbon button in a channel selection switch (not shown) is pushed once, and a bottom shift carbon button is pushed once, it is the configuration of having been suitable for the channel selection method with which the one number of channels decreases. video signal decode equipment 10B -- the demulti pre KUSHINGU circuit 11 and 1st video signal buffer memory 12- it has the 3rd video signal buffer memory 14, the real video signal decoder 16, the 1st false video signal decoder 21, the 2nd false video signal decoder 22, and a regenerative apparatus 20. That is, it is not dependent on the number of channels, and three buffer memory 12-15, one real video signal decoder 16, and two false video signal decoders 21 and 22 are formed in this video signal decode equipment 10B. The real video signal decoder 16 performs decode processing about the video signal of the selected channel. The 1st false video signal decoder 21 cancels the video signal which remains in the buffer memory which the real video signal decoder 16 had read till then, when one channel increases. The 2nd false video signal decoder 22 cancels the video signal which remains in the buffer memory which the real video signal decoder 16 had read till then, when one channel decreases.

[0047] The channel 2 is chosen, drawing 3 (A) reads a video signal from the 2nd video signal buffer memory 13 in which the real video signal decoder 16 is accumulating the video signal of a channel 2, carries out decode processing, and the condition of outputting the decode processing result to the regenerative apparatus 20 is shown. A user's push of the upper shift carbon button in a channel selection switch chooses a channel 3, as shown in drawing 3 (B). The demulti pre KUSHINGU circuit 11 begins to output the video signal of a channel 3 to the 3rd video signal buffer memory 14 cancelled in advance by the 2nd false video signal decoder 22. The connection relation between the real video signal decoder 16 and buffer memory switches from the 2nd video signal buffer memory 13 to the 3rd video signal buffer memory 14 by channel change-over. The real video signal decoder 16 carries out decode processing of the video signal accumulated in the 3rd video signal buffer memory 14 connection-related [new]. On the other hand, the 1st false video signal decoder 21 cancels the video signal of the 2nd video signal buffer memory 13 with which the video signal of the switched channel 2 remains. Furthermore, a user's push of the upper shift carbon button in a channel selection switch chooses a channel 4, as shown in drawing 3 (C). The demulti pre KUSHINGU circuit 11 begins to output the video signal of a channel 4 to the 1st video signal buffer memory 12 cancelled in advance by the 2nd false video signal decoder 22. The connection relation between the real video signal decoder 16 and buffer memory switches from the 3rd video signal buffer memory 14 to the 1st video signal buffer memory 12 by channel change-over. The real video signal decoder 16 carries out decode processing of

the video signal accumulated in the 1st video signal buffer memory 12 connection-related [new]. On the other hand, the 1st false video signal decoder 21 cancels the video signal of the 3rd video signal buffer memory 14 with which the video signal of the switched channel 3 remains.

[0048] Although the case where a user pushed the upper shift carbon button in a channel selection switch was described, when a bottom shift carbon button is pushed, nullification processing of buffer memory in which the 2nd false video signal decoder 22 was separated from the real video signal decoder 16 by the sequence mentioned above and reverse is performed. Thus, in the 3rd example, a connection condition changes [buffer memory, the real video signal decoder 16 and the false video signal decoders 21 and 22] depending on a channel selection condition. According to the 3rd example, since what is necessary is just to form the false video signal decoders 21 and 22 of the buffer memory of 3 juxtaposition, and one real video signal decoders [16 or 2], without being dependent on the number of channels, circuitry is easy and video signal decode equipment 10B can be realized by the low price.

[0049] Drawing 4 is the block diagram of video signal decode equipment 10C as the 4th example of the decode equipment of this invention. Video signal decode equipment 10C has the demulti pre KUSHINGU circuit 11, the 1st video signal buffer memory 12 and the 2nd video signal buffer memory 13, the real video signal decoder 16, the false video signal decoder 21, and a regenerative apparatus 20. That is, it is not dependent on the number of channels, and two buffer memory 12-15, one real video signal decoder 16, and one false video signal decoder 21 are formed in this video signal decode equipment 10B. The real video signal decoder 16 performs decode processing about the video signal of the selected channel. The false video signal decoder 21 cancels the video signal which remains in the buffer memory which the real video signal decoder 16 had read till then.

[0050] The channel 1 is chosen, drawing 4 (A) reads a video signal from the 1st video signal buffer memory 12 in which the real video signal decoder 16 is accumulating the video signal of a channel 1, carries out decode processing, and the condition of outputting the decode processing result to the regenerative apparatus 20 is shown. A user's selection of a channel 2 chooses a channel 2, as shown in drawing 4 (B). The demulti pre KUSHINGU circuit 11 begins to output the video signal of a channel 2 to the 2nd video signal buffer memory 13 cancelled in advance by the false video signal decoder 21. The connection relation between the real video signal decoder 16 and buffer memory switches from the 1st video signal buffer memory 12 to the 2nd video signal buffer memory 13 by channel change-over. The real video signal decoder 16 carries out decode processing of the video signal accumulated in the 2nd video signal buffer memory 13 connection-related [new]. On the other hand, the false video signal decoder 21 cancels the video signal of the 1st video signal buffer memory 12 with which the video signal of the switched channel 1 remains.

[0051] Thus, in the 4th example, a connection condition changes [buffer memory 12 and 13, the real video signal decoder 16, and the false video signal decoder 21] depending on a channel selection condition. According to the 4th example, since what is necessary is just to form the false video signal decoder 21 of the buffer memory of 2 juxtaposition, and one real video signal decoder [16 or 1], without being dependent on the number of channels, circuitry is easy and video signal decode equipment 10C can be realized by the low price.

[0052] Although illustrated about the case where a channel selection is performed, the 1st - the 4th example which were mentioned above can apply the video signal decode equipment mentioned above, also when playing back. A play back case is equivalent to the video signal of a channel with which the video signal before a play back is chosen before, and the difference with a channel selection and a play back is equivalent to the video signal of a channel with which the video signal after a play back was newly chosen. When it is got blocked, for example, video signal decode equipment 10C of drawing 4 was illustrated, decode processing of the video signal before a play back is being carried out as a channel 1 and there is a play back in drawing 4 (A), decode processing of the video signal with which a play back is performed as a channel 2 is carried out. Thereby, the real video signal decoder 16 carries out decode processing of the video signal accumulated in the 2nd video signal buffer memory 13 from the time of being played back, and the false video signal decoder 21 cancels the video signal accumulated in the 1st video signal buffer memory 12, and it equips the following play back with it.

According to this invention, also in a play back, the video signal after a play back is reproducible without start-up delay.

[0053] It does not have a word arm that the video signal decode equipment illustrated about play back processing not only to the video signal decode equipment illustrated to drawing 4 but to drawing 1 - drawing 3 is applicable, either.

[0054] Although the above example described the case where buffered the video signal compressed and inputted and decode processing of expanding etc. was performed, in it, this invention can process similarly [above] both video signal which buffers not only in processing of such a video signal but in the audio signal compressed and inputted, and is performed in decode processing of expanding etc. and which is case [video signal], and compressed and inputted, and audio signal.

[0055]

[Effect of the Invention] As mentioned above, according to this invention, in any [of a play back or a channel change-over] case, a video signal and an audio signal are reproducible without start-up delay.

[Translation done.]

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3404808号
(P3404808)

(45)発行日 平成15年5月12日(2003.5.12)

(24)登録日 平成15年3月7日(2003.3.7)

(51)Int.Cl.⁷

識別記号

F I

H 0 4 B 14/04

H 0 4 B 14/04

Z

G 1 1 B 20/10

3 0 1

G 1 1 B 20/10

3 0 1 Z

H 0 4 J 3/22

H 0 4 J 3/22

H 0 4 N 7/24

H 0 4 N 7/13

Z

請求項の数5(全 22 頁)

(21)出願番号

特願平5-190513

(22)出願日

平成5年7月30日(1993.7.30)

(65)公開番号

特開平7-46198

(43)公開日

平成7年2月14日(1995.2.14)

審査請求日

平成12年3月3日(2000.3.3)

(73)特許権者

000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者

マーク フェルトマン

東京都品川区北品川6丁目7番35号

ソニー株式会社内

(74)代理人

100094053

弁理士 佐藤 隆久

審査官

江口 能弘

(56)参考文献

特開 平6-343065 (J P, A)

特開 平6-333341 (J P, A)

特開 平5-161115 (J P, A)

最終頁に続く

(54)【発明の名称】 復号方法と復号装置

1

(57)【特許請求の範囲】

【請求項1】 少なくとも圧縮された画像信号を複数チャネルについて受入れ、該複数チャネルのうち選択されたチャネルについて圧縮された画像信号をバッファメモリ手段において所定の遅延時間でバッファリングし、このバッファリングされた画像信号を復号する方法であって、
新たに選択されたチャネルの画像信号を未使用状態のバッファメモリ手段にバッファリングし、
該新たにバッファリングされている画像信号を復号し、
選択前のチャネルの画像信号が蓄積されているバッファメモリ手段に蓄積された画像信号を無効化する復号方法。

【請求項2】 少なくとも圧縮された画像信号を複数チャネルについて受入れ、該複数チャネルのうち選択された

2

チャネルについての圧縮された画像信号を出力する手段と、
該選択出力手段から出力される画像信号を受け入れるように前記選択出力手段に作動的に接続され、所定の遅延時間をもって該画像信号をバッファリングする少なくとも2つの並列動作可能なバッファメモリ手段と、
該バッファメモリ手段のいずれかに作動的に接続され、該接続されたバッファメモリ手段に蓄積された画像信号を読み出して復号処理する少なくとも1つの復号手段と、
前記バッファメモリ手段のうち、前記復号手段が作動的に接続されていないほうのいずれかのバッファメモリ手段に作動的に接続され、該接続されたバッファメモリ手段に蓄積された画像信号を無効化処理する少なくとも1つの疑似復号手段とを有する復号装置。

3

【請求項3】前記復号手段が1つ設けられ、
前記疑似復号手段が、チャンネル位置的に前記復号手段を挟んで前後に2つ設けられ、
前記バッファメモリ手段が3つ設けられ、
前記チャンネル切換が順次連続的に行われ、
前記復号手段に作動的に接続されるバッファメモリ手段に、前記選択出力手段から選択されたチャンネルの画像信号が印加されて画像信号が蓄積され、
前記復号手段は該画像信号が蓄積されているバッファメモリ手段に蓄積された画像信号を復号処理し、
前記疑似復号手段のうちのチャンネル選択に後行する位置の疑似復号手段がチャンネル選択直前に画像信号が蓄積されていたバッファメモリ手段の画像信号を無効化する請求項2記載の復号装置。

【請求項4】少なくとも圧縮された画像信号を受入れ、
圧縮された画像信号をバッファメモリ手段において所定の遅延時間でバッファリングし、このバッファリングされた画像信号を復号する方法であって、
プレーバックが要求されたとき、要求されたプレーバック時点からの画像信号を未使用状態のバッファメモリ手段にバッファリングし、
該新たにバッファリングされている画像信号を復号し、
プレーバック要求前の画像信号が蓄積されているバッファメモリ手段に蓄積されている画像信号を無効化する復号方法。

【請求項5】少なくとも圧縮された画像信号を受入れ、
所定の遅延時間をもって該画像信号をバッファリングする並列動作可能な少なくとも2つのバッファメモリ手段と、
該バッファメモリ手段のいずれかに作動的に接続され、
該接続されたバッファメモリ手段に蓄積された画像信号を読み出して復号処理する少なくとも1つの復号手段と、
前記バッファメモリ手段のうち、前記復号手段が作動的に接続されてないほうのいずれかのバッファメモリ手段に作動的に接続され、該接続されたバッファメモリ手段に蓄積された画像信号を無効化処理する少なくとも1つの疑似復号手段とを有し、
プレーバックが要求されたとき、要求されたプレーバック時点からの画像信号を前記疑似復号手段に作動的に接続されているバッファメモリ手段にバッファリングし、
前記復号手段が該新たにバッファリングされている画像信号を復号し、
前記疑似復号手段がプレーバック要求前の画像信号が蓄積されているバッファメモリ手段に蓄積された画像信号を無効化する復号装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は画像信号（ビデオ信号）、および、音響信号または音声信号（オーディオ信

4

号）の処理方法とその装置に関する。本発明は特定的には、MPEG（Motion Picture Image Coding Expert Group）などの規格に基づいて、ビデオ信号とこのビデオ信号に同期しているオーディオ信号とを圧縮・符号化してデータ伝送系またはデータ蓄積系にビットストリームとして提供し、さらにデータ伝送系またはデータ蓄積系からこのビットストリームを入力して伸長・復号するオーディオ・ビデオ（AV）信号処理方法と装置に関する。さらに特定的には、本発明は上記復号信号処理を行う際、プレーバックまたはチャンネル切換時などにおけるスタートアップディレーを短縮する方法と装置に関する。

【0002】

【従来の技術】コンパクトディスク・リードオンリーメモリ（CD-ROM）、レーザーディスク（LD）、ビデオテープ、磁気光学式記録媒体（MO）、DCCなどのデジタルデータ蓄積媒体に映像信号（ビデオ信号）および音声信号（オーディオ信号）を圧縮し多重化（マルチプレクシング）してビットストリームとして直接記録し、再び、データ蓄積媒体から多重化されたビットストリームを読み出してデマルチプレクシングをして圧縮と逆の伸長処理をし、圧縮処理前の元のビデオ信号（原ビデオ信号）および元のオーディオ信号を再生する（復号する）ことが、ビデオテープ記録再生装置、マルチメディアシステム、その他の画像および音声データ処理装置において行われている。またテレビジョン放送、衛星放送、マルチメディアシステムなどにおいても、ビデオ信号とオーディオ信号とを圧縮して符号化し、多重化したビットストリームとしてデータ伝送系またはデータ蓄積系に出力し、その後、多重化されたビットストリームを入力してデマルチプレクシングした後、圧縮の逆の伸長処理をして元のビデオ信号とオーディオ信号とを復号することが行われている。

【0003】CD-ROM、LD、ビデオテープなどのデータ蓄積媒体にビデオ信号およびオーディオ信号を圧縮して符号化して記録し、データ蓄積媒体に記録された符号化されたビデオ信号およびオーディオ信号を伸長して元のビデオ信号およびオーディオ信号に復号する蓄積用動画符号化標準としての国際的な規格として、ISOとIECのデータ処理分野における共通事項を取り扱うJTC1の傘下にあるSC2の中のワーキンググループ（WG）11において、MPEG（Motion Picture Image Coding Expert Group）が定めた規格MPEG1、および、規格MPEG2が知られている。

【0004】MPEGは、広範囲な適用を前提とした標準であり、位相同期（フェーズロック）をとる場合と位相同期をとらない（アンロックする）場合とを予定している。位相同期をとる場合は、ビデオ信号符号化クロック（つまり、フレームレート）とオーディオ信号符号化クロック（つまり、オーディオ信号サンプリングレ

ト)とが共通のシステムクロック基準(System Clock Reference)SCRに位相同期される。MPEGはこの場合、0.7秒の周期でタイムスタンプを多重化ビットストリームに付加することを要求している。位相同期をとらない場合は、ビデオ信号とオーディオ信号とは独立に処理され、これらは符号化の際付加されたそれぞれのタイムスタンプに基づいて復号される。

【0005】またMPEGは、システムターゲットデコーダのバッファリング遅延時間として、1秒を規定している。さらにMPEGは、復号の際、ビデオ信号およびオーディオ信号を検索するためのディレクトリを設けること規定している。

【0006】図5は、そのようなMPEG1またはMPEG2をビデオ信号およびオーディオ信号処理装置に適用した場合の構成例を示す図であり、いかにして符号処理系100が非圧縮ビデオ信号S2および非圧縮オーディオ信号S3を入力して、いかにして拘束パラメータシステムターゲットデコーダ400についてのある情報を生成し、いかにして種々の復号処理系に適した拘束ビットストリームを形成するかについて示している。このビデオ信号およびオーディオ信号処理装置は、圧縮処理前の元のビデオ信号(原ビデオ信号)を提供する非圧縮ビデオ信号源2、圧縮処理前の原オーディオ信号を提供する非圧縮オーディオ信号源3、これら非圧縮ビデオ信号S2および非圧縮オーディオ信号S3を入力し、所定の圧縮処理をして符号化しさらに多重化処理(マルチプレクシング)してビットストリーム形態の圧縮符号化信号S100を出力する符号処理系100、および、この符号処理系100からのビットストリーム形態の圧縮符号化信号S1を送信または蓄積するデータ伝送系またはデータ蓄積系5を有する。データ伝送系またはデータ蓄積系5としては、データ蓄積を行う場合はたとえば、CD-ROM、LD、ビデオテープなどであり、データ伝送を行う場合はたとえば、テレビジョン放送通信系、通信衛星系、データ通信系などである。ビデオ信号およびオーディオ信号処理装置はまた、データ伝送系またはデータ蓄積系5から送出されるビットストリーム形態の圧縮符号化信号S5を入力し、符号処理系100における多重化処理(マルチプレクシング)と逆の分解処理(デマルチプレクシング)し、符号処理系100における圧縮と逆の伸長処理をして、符号処理系100に投入される前の非圧縮ビデオ信号S2および非圧縮オーディオ信号S3と同等の復号化非圧縮ビデオ信号S6Aおよび復号化非圧縮オーディオ信号S6Bを復号する復号処理系600を有する。ビデオ信号およびオーディオ信号処理装置はさらに、符号処理系100および復号処理系600の処理を規定するため、それぞれ、符号処理系100へのガイドライン(基準信号)S4Aおよび復号処理系600へのガイドライン(基準信号)S4Bを送出する拘束パラメータ(Constraint Parameter)・システムターゲ

ットデコーダ(STD: System Target Decoder)400を有する。

【0007】拘束パラメータシステムターゲットデコーダ400は、仮想的な(Hypothical)システムターゲットデコーダ、システム基準(Reference)デコーダ、あるいは、基準復号処理系などとも呼ばれるが、ここでは、以下、拘束パラメータシステム・ターゲットデコーダ、あるいは、簡単に、システムターゲットデコーダなどと呼ぶ。拘束パラメータシステムターゲットデコーダ400は、CCITT H.261およびMPEG1ビデオ標準などの国際標準規格において使用されており、ビデオ信号符号器およびビデオ信号復号器(デコーダ)の設計者のための指針を与えている。MPEG1システム標準において、システムターゲットデコーダ(STD)も基準オーディオ信号デコーダを有している。これらの基準モデルにおいて、各ビデオ信号およびオーディオ信号デコーダもまた推奨されているバッファの大きさを有するバッファ、および、いかにビデオ信号およびオーディオ信号デコーダを動作させるかについて記述する標準を有している。推奨されているバッファの大きさを有するモデルは「拘束パラメータ・システムターゲットデコーダ(STD)」と呼ばれている。実用的には、拘束パラメータ・システムターゲットデコーダ(STD)以上の性能を持たない非常に多くの実際の復号システムが存在しないことが期待されている。したがって、ビットストリームが形成されたとき、そして、多くの数の実際のデコーダに到達することが必要なとき、符号化システムが一般的に、拘束パラメータ・システムターゲットデコーダに適したビットストリームを作成する。これらの多重化ビットストリームは拘束システムパラメータ・ストリーム: Constraint System Parameter Stream: C S P S)と呼ばれている。

【0008】拘束パラメータシステムターゲットデコーダ400は、デマルチプレクシング部401、ビデオ信号バッファ402、オーディオ信号バッファ403、ビデオ信号デコーダ404、および、オーディオ信号デコーダ405を有する。この例においては、ビデオ信号バッファ402は46Kバイトの記憶容量を有し、オーディオ信号バッファ403は4Kバイトの記憶容量を有する。デマルチプレクシング部401はスイッチング回路を有し、ビデオ信号デコーダ404、および、オーディオ信号デコーダ405は高速演算処理に適した構成をとる高速デジタル信号処理装置(DSP)で一体構成されることが、装置構成の面、フレキシブルの観点から望ましい。

【0009】図6(A)は拘束パラメータシステムターゲットデコーダ400に投入される拘束パラメータ(マルチプレクシング)・システムビットストリームC S P Sのフォーマットを示す。このビットストリームは、時系列的に配置された複数のパック(PACK)で構成さ

れ、それぞれのパックは、ヘッダ (HEADER)、ビデオ信号パケット (PACKET)、および、オーディオ信号パケットを含んでいる。それぞれのビデオ信号パケットは、ビデオ信号のフレームごとのビデオ信号と、そのフレームの時刻を示すタイムスタンプ (TIME STAMP) を含むパケットヘッダ (PACKET HEADER) から構成されている。それぞれのオーディオ信号パケットは、所定の単位 (ユニット) ごとのオーディオ信号とそのユニットの時刻を示すタイムスタンプを含むパケットヘッダとで構成されている。ビデオ信号についてのフレーム $n+1$ のタイムスタンプをビデオタイムスタンプ vts と呼び、オーディオ信号についてユニット $m+1$ のタイムスタンプをオーディオタイムスタンプ ats と呼ぶ。つまり、符号処理系 100 は、非圧縮ビデオ信号 S2 および非圧縮オーディオ信号 S3 を符号化して、図 6 (A) に示したフォーマットのマルチプレクシング・ビットストリームにしてデータ伝送系またはデータ蓄積系 5 に送出し、拘束パラメータシステムターゲットデコーダ 400 はこのビットストリーム S5 を入力して復号する。

【0010】符号処理系 100 に入力される非圧縮ビデオ信号 S2 と非圧縮オーディオ信号 S3 とは、データ数、速度が異なる他、圧縮率も異なる。したがって、同じ時刻に符号処理系 100 に入力されたビデオ信号とオーディオ信号を圧縮処理しても同じ速度、同じ大きさの符号化ビデオ信号と符号化オーディオ信号が提供される訳ではない。また、たとえば、ビデオ信号についてみても、ビデオ信号の内容によって圧縮率は異なる。オーディオ信号についても同様である。したがって、符号処理系 100 からは固定した状態 (条件) の符号化ビデオ信号および符号化オーディオ信号が出力される訳ではない。復号処理系 600 において、これら元のビデオ信号およびオーディオ信号を復号化非圧縮ビデオ信号 S6A および復号化非圧縮オーディオ信号 S6B として復号する際、タイミング的に同期をとる必要がある。そこで、そのような同期を実現するため、MPEG は上述したタイムスタンプをビデオ信号とオーディオ信号のそれぞれにフレームごとに付加することを規定している。つまり、ビデオ信号タイムスタンプとオーディオ信号タイムスタンプとはビデオ信号とオーディオ信号との同期をとった復号を行うためのクロックを規定する時刻を示しており、オーディオ信号タイムスタンプはオーディオ信号の復号を行うためのクロックを生成する時刻を示している。なお、タイムスタンプを用いる目的は、上述した同期をとるための他に、バッファリングの問題を解消するため、および、符号系におけるデータの複写のためである。

【0011】図 7 は復号処理系 600 の構成図である。復号処理系 600 は、デマルチプレクシング部 601、

ビデオ信号ビットストリーム構成変換処理部 602、ビデオ信号受信バッファ 603、ビデオ信号復号器 (デコーダ) 604、ピクチャーレート制御回路 605、オーディオ信号ビットストリーム構成変換処理部 606、オーディオ信号受信バッファ 607、オーディオ信号復号器 (デコーダ) 608、および、サンプリングレート制御回路 609 を有する。デマルチプレクシング部 601 は、上述したフォーマットの多重化ビットストリーム S5 を入力し、ビデオ信号、ビデオタイムスタンプ vts 、オーディオ信号、オーディオタイムスタンプ ats に分解 (分離) する。ビデオ信号ビットストリーム構成変換処理部 602 は分離されたビデオ信号とビデオタイムスタンプ vts を入力し、図 6 (B) に示すフォーマットに変換する。ビデオ信号受信バッファ 603 は変換されたビデオ信号を順次記憶し、記憶した順序に従ってビデオ信号復号器 604 に出力する。同様に、オーディオ信号ビットストリーム構成変換処理部 606 は分解されたオーディオ信号とオーディオタイムスタンプ ats を入力して図 6 (B) に示すフォーマットに変換する。

オーディオ信号受信バッファ 607 は変換されたオーディオ信号を順次記憶し、記憶した順序に従ってオーディオ信号復号器 608 に出力する。ビデオ信号復号器 604 は、ピクチャーレート制御回路 605 から出力されるタイミング信号に基づいてビデオ信号受信バッファ 603 から出力されたビデオ信号を復号する。オーディオ信号復号器 608 は、サンプリングレート制御回路 609 から出力されるタイミング信号に基づいてオーディオ信号受信バッファ 607 から出力されたオーディオ信号を復号する。

【0012】上述したビデオ信号受信バッファ 603 およびオーディオ信号受信バッファ 607 について述べる。復号に際して完全に一致したクロックを用いてビデオ信号とオーディオ信号とを復号することはできない。第 1 の理由は、上述したように圧縮率が異なるからである。第 2 の理由について、たとえば、オーディオ信号復号器 608 におけるオーディオ信号の復号について述べる。固定のビデオレートで復号するオーディオ信号復号器 608 に入力されるオーディオ信号の入力データレートと、データ伝送系またはデータ蓄積系 5 から出力されたオーディオ信号の転送ビデオレートとはサンプリングレートクロックの誤差に依存して変化する。さらに、オーディオ信号復号器 608 には一般に、一度に 1 つのオーディオ信号、アクセスユニットが入力されるので、データ伝送系またはデータ蓄積系 5 からの多重化ビットストリーム S5 の転送レートと、オーディオ信号復号器 608 に入力されるオーディオ信号とのデータレートとは一致しない。そこで、オーディオ信号復号器 608 の前段にオーディオ信号受信バッファ 607 が設けられ、上述したデータレートの不一致を調整するように構成されている。図 8 に上述した関係を図解する。

【0013】また図9に図解したように、ビデオ信号は符号処理系100においてフレームごとに（あるいは、フィールドごとに）圧縮され、可変長符号化処理されるために、ビデオ信号復号器604に対する入力データレートは符号処理系100におけるビデオ信号の圧縮に依存して大きく変化する。したがって、ビデオ信号受信バッファ603の記憶容量はオーディオ信号受信バッファ607の記憶容量より大きくなる。たとえば、ビデオ信号受信バッファ603の記憶容量は46Kバイトに対して、オーディオ信号受信バッファ607の記憶容量は4Kバイトである。図10にビデオ信号受信バッファ603またはオーディオ信号受信バッファ607の受信バッファとしては（以下、ビデオ信号受信バッファ603を例示する）のバッファリングタイミングを示す。図10（A）に示したように、このバッファリングとしては、ビデオ信号受信バッファ603に入力されたデータの量から、破線で示したビデオ信号受信バッファ603の記憶容量を減じたデータ量がビデオ信号受信バッファ603から読み出されるデータの量を越えない状態、つまり、アンダーフローを生じさせず、かつ、ビデオ信号受信バッファ603から読み出されたデータの量がビデオ信号受信バッファ603に入力されるデータの量を越えない状態、つまり、オーバーフローを生じさせない状態が理想的である。しかしながら、図10（B）に図解したように、このバッファリングにはオーバーフローまたはアンダーフローが生ずることがある。

【0014】このバッファリングにおけるオーバーフローまたはアンダーフローを防止する方法としては、たとえば、図11（A）～図11（C）に図解した処理が考えられている。第1の方法は、図11（A）に図解したように、「蓄積メディアスレーブ方法」と呼ばれるものであり、ビデオ信号受信バッファ603に入力されたデータ量L1からビデオ信号受信バッファ603の記憶容量がビデオ信号受信バッファ603から読み出されたデータの量L3を越えず、かつ、ビデオ信号受信バッファ603から読み出されたデータの量L3がビデオ信号受信バッファ603に入力されたデータの量L1を越えないように曲線L1'で示したようにビデオ信号受信バッファ603に入力されるデータの量を制御する。曲線L2はビデオ信号受信バッファ603に入力されたデータL1からビデオ信号受信バッファ603の記憶容量を減じた量の変化を示し、曲線L2'は制御された実際にビデオ信号受信バッファ603に入力されたデータの量の変化を示す。第2の方法は、図11（B）に図解したように、「デコーダスレーブ方法」と呼ばれるものであり、ビデオ信号受信バッファ603に入力されたデータ量L1が、ビデオ信号受信バッファ603の記憶容量を減じたデータ量L2が、ビデオ信号受信バッファ603から読み出されるデータの量L3を越えず、かつ、ビデオ信号受信バッファ603から読み出されたデータの量

L3がビデオ信号受信バッファ603に入力されるデータの量L1を越えないようにビデオ信号復号器604のフレームレートを変更してビデオ信号受信バッファ603からデータを読み出す。実際にビデオ信号受信バッファ603から読み出されたデータの量の変化を曲線L3'として示す。以上、ビデオ信号について述べたが、オーディオ信号の場合も、オーディオ信号復号器608のサンプリングレートを変化させてオーディオ信号受信バッファ607から読み出すデータの量を調整する。第3の方法は、図11（C）に図解したように、ビデオ信号受信バッファ603から読み出すデータの量を調整するものであり、たとえば、アクセスユニットをスキップしたり、再表示してビデオ信号受信バッファ603から読み出されるデータの量を調整する。曲線L3'が調整されてビデオ信号受信バッファ603から読み出されたデータの量の変化を示す。

【0015】しかしながら、上述したデコーダ（復号器）のフレームレートまたはサンプリングレート、あるいは、データ伝送系またはデータ蓄積系5からの転送レートを変更することは、ビデオ信号およびオーディオ信号処理装置の外部の関連する装置に影響を与えるから、自由には変更することができず、ある範囲に制限される。その結果、バッファリングにおいてオーバーフローまたはアンダーフローが頻繁に発生するような場合には、それを完全に防止することができない。バッファリングにおけるオーバーフローまたはアンダーフローに起因する復号処理の誤動作は、特に、復号開始時点に生ずる。よって、デコーダにおいて、「スタートアップディレイ（開始時点遅延）」という、再生初期時に復号処理を遅延する処理を行ってこの問題を解決する方法が考えられている。

【0016】図12にスタートアップディレイに基づくバッファリングの諸態様を示す。図12（A）は、スタートアップディレイに無関係に理想的にバッファリングが行われた場合、図12（B）は、適切にスタートアップディレイが行われた場合のバッファリング、図12（C）はスタートアップディレイが長くビデオ信号受信バッファ603がオーバーフローする場合、図12（D）はスタートアップディレイが短くアンダーフローが生じる場合を示す。

【0017】MPEGにおいては、上述したようにそれぞれのパックのヘッダに位相同期をとるためのシステムクロック基準SCRを記述することができ、システムクロック基準SCRは転送ビットレートを定義するために使用できる。さらにMPEGにおいては、ビデオ信号パケットはオーディオ信号パケットのヘッダに記述されるタイムスタンプは、フレームレートまたはサンプリングレートを制御するために使用できる。つまり図13に図解したように、システムクロック基準SCRはデータ伝送系またはデータ蓄積系5から復号処理系600に

入力された多重化ビットストリームS5の時刻を示し、ビデオ信号パケットまたはオーディオ信号パケットのタイムスタンプはビデオ信号またはオーディオ信号がビデオ信号受信バッファ603またはオーディオ信号受信バッファ607から出力された時刻を示す。これらの時刻は、たとえば、水晶発振器を用いて90KHzの基準クロックを用いて絶対時刻で記録することができる。このように、システムクロック基準SCRとタイムスタンプとの差をスタートアップディレーに使用できる。図13において、記号DTSは復号時刻を意味するデコーダタイムスタンプを示し、記号PTSはビデオ信号、つまり、ピクチャーの復号時刻を意味するピクチャータイムスタンプを示し、記号Hはヘッダを示す。

【0018】上述したように、MPEGにおけるオーディオ信号の復号とビデオ信号の復号に際しては、これら両者の復号結果を同期させる必要があり、この同期にタイムスタンプを用いる。ビデオ信号およびオーディオ信号の復号処理時刻を0秒と仮定する。図14に示したように、IピクチャーおよびPピクチャーとしてのフレーム以外、つまり、Bピクチャーとしてのフレームにおいては、タイムスタンプによって示されるアクセスユニットの復号時刻は、Bピクチャーが表示される表示時刻と同じになる。つまり、デマルチプレクシング部601を介してビデオ信号受信バッファ603に順次入力されているビデオ信号のうち、第m番目のビデオ信号パケットの第i番目のフレームのIピクチャーのビデオ信号：Frame i (I) が時刻DTS_mにビデオ信号受信バッファ603から読み出されて復号された後、ビデオ信号復号器604の後段に設けられたIピクチャーおよびPピクチャーのビデオ信号（フレーム）を一時的に記憶するI/Pバッファに記憶する。Iピクチャーのビデオ信号とPピクチャーのビデオ信号とは復号時刻と表示時刻とが異なる。そこで、そのビデオ信号に対応するビデオ信号パケットのヘッダには、それぞれ復号時刻および表示時刻を示すタイムスタンプとしてのDTSとPTSとが記録されるが、IピクチャーとPピクチャーのビデオ信号の表示時刻PTSとは次のIピクチャーとPピクチャーのDTSとは同じであるから、表示時刻PTSは省略できる。

【0019】しかしながら、上述したMPEGに基づくビデオ信号およびオーディオ信号処理装置においては、ビデオ信号ビットストリーム構成変換処理部602およびオーディオ信号ビットストリーム構成変換処理部606の回路構成が複雑になるという問題に遭遇している。さらに上述したビデオ信号およびオーディオ信号処理装置は、復号処理系600に入力されるデータがマルチプレクシングされたビットストリームであることを前提としており、たとえば、ビデオ信号またはオーディオ信号のいずれかがマルチプレクシングされずに入力された場合には、復号することができず、復号処理系として種々

の復号処理を行うことを考慮すると、その汎用性に問題があった。

【0020】そこで本願出願人（本願発明者）は、上述した問題を解決するビデオ信号およびオーディオ信号復号装置を提案した（たとえば、平成5年2月26日出願の特願平5-63293号、「データ復号化装置」を参照）。図15にこの復号装置の構成を示す。このときのビットストリームを図6または図16に示す。図16に示したビットストリームは、複数のビデオ信号パケットと、オーディオ信号パケットとが連続し、それぞれの複数のビデオ信号パケットは、第1のビデオ信号パケットヘッダ、第1のピクチャーグループGOP0～第4のビデオ信号パケットヘッダ、第4のピクチャーグループGOP3が配列されている。各々のビデオ信号パケットヘッダにはこのビデオ信号のタイムスタンプが格納されている。それぞれのピクチャーグループには20個のフレームのビデオ信号が格納されている。オーディオ信号パケットにはオーディオ信号タイムスタンプ、および、オーディオ信号アクセスユニットAAUが格納されている。

【0021】この復号装置は、デマルチプレクシング501、DSP502、90KHzのクロックを発生するクロック発生器503、全体時刻レジスタ504、ビデオ信号受信バッファ505a、オーディオ信号受信バッファ505b、ビデオ信号復号器506a、オーディオ信号復号器506b、ビデオ信号タイムスタンプバッファ507a、オーディオ信号タイムスタンプバッファ507b、ビデオ信号クロック用位相同期回路（PLL）508a、オーディオ信号クロック用PLL508bを有する。デマルチプレクシング501においてビットストリームから分解されたビデオ信号タイムスタンプがビデオ信号タイムスタンプバッファ507a、オーディオ信号タイムスタンプがオーディオ信号タイムスタンプバッファ507bに格納される。またビットストリームから分解されたビデオ信号がビデオ信号受信バッファ505aに格納され、分解されたオーディオ信号がオーディオ信号受信バッファ505bに格納される。これらバッファ505a、505bに格納されたデータがそれぞれ、PLL508a、508bからのクロックによって復号器506a、506bにおいて同期状態で復号される。このように、簡単な回路構成にすることができる。

【0022】図17に多重化ビットストリームのフォーマットとその処理を図解する。ただし、このビットストリームはビデオ信号についてののみ示し、オーディオ信号については省略している。図18にこのビットストリームに基づくMPEGによるビデオ信号およびオーディオ信号処理装置の構成を示す。拘束パラメータシステムターゲットデコーダ410はデマルチプレクシング部411、ビデオ信号バッファ412、オーディオ信号バッファ413、ディレトリデータバッファ414、ビデオ

信号デコーダ415、オーディオ信号デコーダ416、ディレクトリデコーダ417を有する。復号処理系610は拘束パラメータシステムターゲットデコーダ410と同様に構成されている。符号処理系110は、図17(A)に図解したビットストリームを生成する。このビットストリームは、第1のディレクトリパッケージとこのディレクトリパッケージに対応する第1のビデオ信号パッケージとが一对になっている。ディレクトリパッケージ内は最初の位置にディレクトリパッケージヘッダ、続いて、第1〜第20のポインタP0〜P19が格納されている。ビデオ信号パッケージの最初の位置にビデオ信号パッケージヘッダ、続けて第1〜第20のピクチャグループGOP0〜GOP19が格納されている。第1のポインタP0が第1のピクチャグループGOP0の記録位置などを指定している。他のポインタも対応するピクチャグループの位置を指定している。

【0023】具体例として、ビデオテープ記録再生装置における再生動作を例示する。この場合、符号処理系110はビデオテープ記録再生装置の記録系であり、データ伝送系またはデータ蓄積系5はビデオテープであり、復号処理系610は再生系である。図17(B)に示すように、ユーザーがファーストフォワード(First Forward:FF)動作またはファーストリバース(First Reverse:FR)動作を要求する前は、復号処理系610はビデオテープ5から、順次、ディレクトリパッケージヘッダの記録内容、ポインタの指定内容に基づいて、ピクチャグループが連続的に読みだし、ディレクトリバッファにポインタ、ビデオ信号バッファにビデオ信号を格納し、ビデオ信号復号器においてビデオ信号を復号する。図17(C)に示すように、ユーザーがファーストフォワード動作を要求すると、ディレクトリバッファに格納されたディレクトリデータが空になるまでスキップ動作が行われ、ピクチャグループを飛ばしていく。そして、図17(D)に示したように、ディレクトリバッファに新たなディレクトリが格納された位置のポインタまで戻る。図17(E)に示したように、ファーストフォワード動作においては上述した動作、つまり、フィードバック動作が行われる。

【0024】また、MPEGにおいては、上述したようにバッファリングの遅延時間を規定しており、位相同期をとらない場合のこのバッファリング遅延時間は1秒以内と制限している。

【0025】図19(A)は上述した復号処理系の概略構成図である。この図解は、たとえば、上述した復号処理系の1例としてテレビジョン受像機において、圧縮されている複数のチャンネルのビデオ信号の1つをデマルチプレクシング回路11でチャンネル選択して、ビデオ信号バッファメモリ12に一旦蓄積し、ビデオ信号復号器16で圧縮されているビデオ信号を伸長などの復号処理を行い、再生装置20に出力する場合を例示している。デ

マルチプレクシング回路11は、機能的には、図7に示したデマルチプレクサ601、図15に図解したデマルチプレクサ501に対応しているが、これらの例におけるデマルチプレクサ501、601がビデオ信号とオーディオ信号とをデマルチプレクシングしているのに対して、デマルチプレクシング回路11は複数のチャンネルのビデオ信号をデマルチプレクシングする。ビデオ信号バッファメモリ12は、図7に図解したビデオ信号受信バッファ603、図15に図解したビデオ信号受信バッファ505aと同様に動作する。ビデオ信号復号器16は、図7および図15に図解したビデオ復号器と同様の機能を有する。ビデオ信号バッファメモリ12とビデオ信号復号器16とのバッファリング処理は、図9を参照して述べたと同様の処理を行う。図解の関係でビデオ信号の処理系についてだけ述べたが、オーディオ信号についても上記同様の構成および処理を行うことができる。

【0026】図19(A)に図解したように、デマルチプレクシング回路11を介して、チャンネル1のビデオ信号がビデオ信号バッファメモリ12に入力され、このビデオ信号バッファメモリ12にバッファリングされたビデオ信号をビデオ信号復号器16が復号処理して、復号処理結果を再生装置20に出力する。図19(B)に図解したように、次に、チャンネル1からチャンネル2にチャンネル切換が生じた場合、デマルチプレクシング回路11を介してチャンネル2のビデオ信号がビデオ信号バッファメモリ12にバッファリングされ、ビデオ信号復号器16はこの新たなバッファリングビデオ信号について復号処理を行う。

【0027】

【発明が解決しようとする課題】しかしながら、図19に図解した復号装置においては、複数のチャンネルについて、1系統のバッファメモリ12およびビデオ信号復号器しか有していないから、チャンネル切換時に、上述した1秒のスタートアップディレーの問題に遭遇する。つまり、バッファメモリ12には上述した方法でビデオ信号が蓄積され、ビデオ信号復号器16で復号処理のために排出されていくが、ある時点においてチャンネル切り換えが行われた時、以前に選択されていたチャンネルのビデオ信号を全てバッファメモリ12から排出しないと新たに選択されたチャンネルについてのビデオ信号をバッファメモリ12に入力できず、ビデオ信号復号処理ができない。このため、スタートアップディレーが起こる。ビデオ信号と同様にオーディオ信号が再生されるから、オーディオ信号についても上記同様のスタートアップディレーが起こる。このスタートアップディレーの間は、再生装置20には新たに選択されたチャンネルのビデオ信号およびオーディオ信号が再生されないから、ユーザーはチャンネル切り換えを行ったにも関わらず、新たに切り換えたチャンネルの映像および音響が得られない。つまり、現在の復号処理系にはチャンネル切り換え時の応答性に問題

がある。

【0028】上述した問題とテレビジョン受像機などにおけるチャンネル切り換えに限らず、ビデオ信号のプレーバック時にも起こる。図20を参照して、プレーバック時のスタートアップディレーの問題を述べる。この例は、曲線CV1に示すように、第1の部分を復号処理するビットレートが3メガ(M)ビット/秒であり、第2の部分を復号するビットレートが6Mビット/秒である。第1の部分の開始時点において、ビデオ信号復号器16がプレーバック処理を開始したとき、このビットストリームについては、スタートアップディレーは殆どなく問題はない。しかしながら、第2の部分の開始時点において、ビデオ信号復号器16がプレーバック処理を開始したとき、このビットストリームについては、上述したように、1秒のスタートアップディレーが必要である。

【0029】図21は1秒のスタートアップディレーを行った後に、バッファメモリ12にビデオ信号が蓄積される状態を示すグラフである。図21において、アクセスポイントが画像データ量の多いイントラ(intra)・ピクチャーの場合、第2の部分の開始時点に対するアクセスのみ可能である。一般的に、イントラ・ピクチャーはビデオ信号のビットストリームに規則的に発生する。そこで、ユーザーが第2の部分の開始時点においてプレーバックの始まりを要求すると、少なくとも1秒のスタートアップディレーによって、ユーザーは少なくとも1秒程度、再生情報、つまり、再生ビデオ信号および再生オーディオ信号を得られない。

【0030】図22は、ビットストリームが1秒よりもさらに長いスタートアップディレーを有する場合のバッファリングを説明するグラフである。ビットストリームが1秒よりも長い場合、通常の伝送レートよりも高い伝送レートを用いて迅速なスタートアップディレーを可能にする高速な、換言すれば、高価なバッファメモリ(記憶媒体)が必要になる。*を結んだ曲線abi(actual decoder buffer input)は実際のバッファメモリへのビデオ信号の入力を示し、黒点を結んだ曲線abo(actual decoder buffer output)は実際のバッファメモリへのビデオ信号の出力を示し、○印を結んだ曲線ibo(intended decoder buffer output)は設計値としてのバッファメモリへのビデオ信号の出力を示し、+を結んだ曲線ovfはバッファのオーバーフロー限界を示す。復号処理系が高性能の記憶媒体を持っているこの例において、たとえば、15Mビット/秒のレートでバッファメモリにビデオ信号の蓄積が始まる。その結果、0.5秒後にバッファメモリには7.5Mビットのビデオ信号が蓄積される。このビデオ信号の蓄積量は、4.5Mビット/秒のレートで1.67秒、ビデオ信号を蓄積した量に等しい。つまり、この例では、バッファメモリの開始としては0.5秒で充分である。この例においては、

6Mビット/秒のレートでビデオ信号の読みだしが始まるまで15Mビット/秒のレートでビデオ信号の蓄積が行われ、バッファメモリが満杯になったら、6Mビット/秒のレートでビデオ信号を蓄積するようにレートを変化させる。しかしながら、この方法はスタートアップディレーを短縮するものの、高価な記憶手段を必要とし、レート制御を行うので、処理が複雑になる。

【0031】本発明は上述した、圧縮されたビデオ信号、および、圧縮されたオーディオ信号、またはいずれか一方の復号に関して、チャンネル切換時、または、プレーバック時などにおけるスタートアップディレーを短縮する復号処理方法および復号処理系(装置)を提供することを目的とする。

【0032】

【課題を解決するための手段】本発明においては、所定の遅延時間で画像信号および音響信号をバッファリングする1つのバッファメモリ手段と1つの復号手段の他に、少なくとも1つの上記同様のバッファメモリ手段と、バッファメモリ手段に蓄積されたデータを無効化する少なくとも1つの疑似復号器を用いる。バッファメモリ手段は上述したように、圧縮されている画像信号、および、圧縮されている音響(音声)信号またはいずれかについて所定の遅延時間でバッファリングする。復号手段はバッファメモリ手段に蓄積されたデータを伸長などの復号処理を行う。疑似復号手段はバッファメモリ手段に蓄積されているデータを無効化する。以下、チャンネル選択の場合とプレーバックの場合とについて例示する。

【0033】チャンネル切換の場合について述べる。本発明の復号装置は、少なくとも圧縮された画像信号を複数チャンネルについて受入れ、該複数チャンネルのうち選択されたチャンネルについての圧縮された画像信号を出力する手段と、該選択出力手段から出力される画像信号を受け入れるように前記選択出力手段に作動的に接続された、少なくとも2つの並列動作可能なバッファメモリ手段と、該バッファメモリ手段のいずれかに作動的に接続され、該接続されたバッファメモリ手段に蓄積された画像信号を読み出して復号処理する少なくとも1つの復号手段と、前記バッファメモリ手段のうち、前記復号手段が作動的に接続されてないほうのいずれかのバッファメモリ手段に作動的に接続され、該接続されたバッファメモリ手段に蓄積された画像信号を無効化処理する少なくとも1つの疑似復号手段とを有する。好適には、連続的なチャンネル切換に則して、前記復号手段が1つ設けられ、前記疑似復号手段が、チャンネル位置的に前記復号手段を挟んで前後に2つ設けられ、前記バッファメモリ手段が3つ設けられ、前記復号手段に作動的に接続されるバッファメモリ手段に、前記選択出力手段から選択されたチャンネルの画像信号が印加されて画像信号が蓄積され、前記復号手段は該画像信号が蓄積されているバッファメモリ手段に蓄積された画像信号を復号処理し、前記疑似復

号手段のうちのチャンネル選択に後行する位置の疑似復号手段がチャンネル選択直前に画像信号が蓄積されていたバッファメモリ手段の画像信号を無効化する。

【0034】プレーバックの場合について述べる。本発明の復号装置は、少なくとも圧縮された画像信号を受入れる並列動作可能な少なくとも2つのバッファメモリ手段と、該バッファメモリ手段のいずれかに作動的に接続され、該接続されたバッファメモリ手段に蓄積された画像信号を読み出して復号処理する少なくとも1つの復号手段と、前記バッファメモリ手段のうち、前記復号手段が作動的に接続されていないほうのいずれかのバッファメモリ手段に作動的に接続され、該接続されたバッファメモリ手段に蓄積された画像信号を無効化処理する少なくとも1つの疑似復号手段とを有する。この復号装置において、プレーバックが要求されたとき、要求されたプレーバック時点からの画像信号を前記疑似復号手段に作動的に接続されているバッファメモリ手段にバッファリングし、前記復号手段が該新たにバッファリングされている画像信号を復号し、前記疑似復号手段がプレーバック要求前の画像信号が蓄積されているバッファメモリ手段に蓄積された画像信号を無効化する。

【0035】

【作用】チャンネル切換の作用について述べる。チャンネル切換があったとき、選択出力手段は新たに選択されたチャンネルの画像信号を未使用状態のバッファメモリ手段にバッファリングし、復号手段は該新たにバッファリングされている画像信号を復号する。疑似復号手段は、選択前のチャンネルの画像信号がまだ蓄積されているバッファメモリ手段に蓄積された画像信号を無効化する。これにより、復号手段が選択前のバッファメモリ手段に蓄積されている画像信号を排出する時間、つまり、スタートアップディレーを待たずに、新たに選択されたチャンネルの画像信号を復号できる。疑似復号手段は実際に復号処理を行う機能を有している必要はなく、単にバッファメモリ手段内のデータを無効化処理するものであり、その構成は簡単である。

【0036】プレーバックの作用について述べる。プレーバックが要求されたとき、要求されたプレーバック時点からの画像信号を未使用状態のバッファメモリ手段にバッファリングし、復号手段が該新たにバッファリングされている画像信号を復号する。疑似復号手段がプレーバック要求前の画像信号がまだ蓄積されているバッファメモリ手段に蓄積されている画像信号を無効化する。

【0037】

【実施例】本発明の復号方法および復号装置の実施例を述べる。図1は本発明の復号装置の第1実施例としての、ビデオ信号を復号処理するビデオ信号復号装置10の構成図である。図1に示した復号装置は、従来技術として、図19を参照して述べた復号装置に対応している。つまり、このビデオ信号復号装置10は、たとえ

ば、圧縮されたビデオ信号を伸長などの復号処理を行うテレビジョン受像機などにおいて、複数チャンネルについてのチャンネル切換がある場合の復号処理を例示する。オーディオ信号についても同様の構成となるが、図解の関係で省略する。

【0038】なお、ビデオ信号復号装置10にビデオ信号およびオーディオ信号を提供する信号処理系としては、図5および図18に図解した信号処理系であり、符号化処理系100において、ビデオ信号とオーディオ信号とを同時に圧縮し、タイムスタンプをつけてデータ蓄積系5またはデータ伝送系5に送出し、復号処理系600において、ビデオ信号復号装置10がそのような圧縮されたビデオ信号とオーディオ信号を復号する。データ伝送系またはデータ蓄積系5としては、データ伝送系として、たとえば、衛星通信系、データ通信系などが対象となり、データ蓄積系として、たとえば、CD-ROM、LD、ビデオテープなどが対象となる。以下、本実施例においては、データ伝送系またはデータ蓄積系5として、衛星通信系、または、CD-ROM、LDなどを用いる場合について述べる。

【0039】図1に示したビデオ信号復号装置10は、デマルチプレクシング回路11、4個並列に設けられた第1のビデオ信号バッファメモリ12～第4のビデオ信号バッファメモリ15、4個並列に設けられた第1のビデオ信号復号器16～第4のビデオ信号復号器19、および、1つの再生装置20を有する。このビデオ信号復号装置10において、デマルチプレクシング回路11はチャンネル切換に応じて、選択されたチャンネルのビデオ信号をそのチャンネルに対応するビデオ信号バッファメモリに出力する。本実施例は、チャンネル数として4チャンネルある場合を例示する。第1のビデオ信号バッファメモリ12～第4のビデオ信号バッファメモリ15は、対応するビデオ信号復号器と協働して、上述した所定時間の遅延時間でバッファリング動作を行う。バッファメモリは、図22を参照して述べたような特に高速動作をするものを用いる必要はない。第1のビデオ信号復号器16～第4のビデオ信号復号器19のそれぞれは、基本的に図19を参照して述べた復号器と同じ構成および機能を有しており、その前段に設けられた対応するバッファメモリ12～19に蓄積されたビデオ信号を、上述した復号処理方法に基づいて復号する。選択されたチャンネルに対応するビデオ信号復号器において復号されたビデオ信号が再生装置20において再生される。再生装置20は本実施例においてはビデオ信号の再生のみであるが、オーディオ信号の復号をも行う場合は再生装置20はオーディオ信号の再生をも行う。

【0040】図1は、チャンネル2が選択されている状態を示している。したがって、この状態においては、デマルチプレクシング回路11から第2のビデオ信号バッファメモリ13にビデオ信号が蓄積され、第2のビデオ信

号復号器17が第2のビデオ信号バッファメモリ13に蓄積されているビデオ信号を復号処理して、その復号結果を再生装置20に出力する。ユーザーがチャンネル2からチャンネル1に切り換えた場合、デマルチプレクシング回路11からチャンネル1のビデオ信号が第1のビデオ信号バッファメモリ12に出力され、第1のビデオ信号バッファメモリ12にチャンネル1のビデオ信号が蓄積されている。これに伴って、第1のビデオ信号復号器16が復号処理に関して起動され、第2のビデオ信号復号器17は復号処理に関して停止される。これにより、再生装置20が第1のビデオ信号復号器16に作動的に接続され、第2の実ビデオ信号復号器17は再生装置20から切り離される。第1のビデオ信号復号器16は第1のビデオ信号バッファメモリ12に蓄積されたビデオ信号を復号処理し、再生装置20にその復号結果を出力する。この切換にはスタートアップディレーが存在しない。なお、以前に選択されていたチャンネル2に対応する第2のビデオ信号バッファメモリ13にはもはや新たなビデオ信号の入力はなくなるが、依然として第2のビデオ信号バッファメモリ13にはチャンネル切換前に蓄積されたビデオ信号が残っている。そこで、第2のビデオ信号復号器17は、スタートアップディレー機能によって、第2のビデオ信号バッファメモリ13に残っているビデオ信号を排出し、次のチャンネル切換があっても、第2のビデオ信号バッファメモリ13をスタートアップディレーなしで使用可能にしておく。

【0041】以上のように、チャンネル数に対応して、バッファメモリとビデオ信号復号器を設けると、スタートアップディレーなしでチャンネル切換に即応できる。しかしながら、図1に図解したビデオ信号復号装置10は、チャンネル数だけ、バッファメモリおよび実ビデオ信号復号器を設けているが、ビデオ信号復号器のそれぞれは上述したように、バッファメモリと協働してバッファ処理を行う他、タイムスタンプに基づく同期処理、伸長処理などの復号処理を高速に行うから、回路構成が複雑であり、DSPなどを用いて構成すると高価格となる。そこで、上述した問題を解決する他の実施例を述べる。

【0042】図2は本発明の復号装置の第2実施例としてのビデオ信号復号装置10Aの構成図である。このビデオ信号復号装置10Aは、デマルチプレクシング回路11、第1のビデオ信号バッファメモリ12～第4のビデオ信号バッファメモリ15、および、第1の実ビデオ信号復号器16および第2の実ビデオ信号復号器17、第1の疑似ビデオ信号復号器21および第2の疑似ビデオ信号復号器22、および、再生装置20を有する。第2実施例においても、チャンネル数は4であるから、バッファメモリを4系統設けている。第1の実ビデオ信号復号器16および第2の実ビデオ信号復号器17は、図1に図解した第1のビデオ信号復号器16および第2のビデオ信号復号器17と実質的に同じ構成および機能を有

しているが、第2実施例において、「実(real)」を付加したのは、実際に復号処理を行うことを意味し、実際に復号処理を行わない、第1の疑似ビデオ信号復号器21および第2の疑似ビデオ信号復号器22の「疑似(Quasi)」と区別するためである。

【0043】第1の疑似ビデオ信号復号器21および第2の疑似ビデオ信号復号器22は、その前段に作動的に接続されたバッファメモリに蓄積されているビデオ信号を実質的に無効化にするものである。この無効化処理の具体的な処理例をいくつか例示する。第1の無効化方法は、疑似ビデオ信号復号器21（または22）は、上述したパケットヘッダからのタイムスタンプ、および、ビデオ信号シーケンススレイヤーからのピクチャーレートに基づいてバッファメモリに蓄積されているピクチャーのヘッダ（先頭位置）を検出し、それ以降のビデオ信号を無効化する。第2の無効化方法は、疑似ビデオ信号復号器21（または22）は、バッファメモリに蓄積されているビデオ信号の蓄積状態を示す制御ワードを強制的にクリアしてそのバッファメモリにはビデオ信号が存在していないようにする。第3の無効化方法は、疑似ビデオ信号復号器21（または22）は、バッファメモリは通常、FIFO（First-in First-out）動作する場合が多いので、このFIFO処理状態をクリアしてそのバッファメモリにはビデオ信号が存在していないようにする。第1の疑似ビデオ信号復号器21および第2の疑似ビデオ信号復号器22はこのように、簡単なメモリ制御処理であるから、簡単な構成でよく、安価に構成できる。つまり、第1の実ビデオ信号復号器16および第2の実ビデオ信号復号器17のような複雑な回路構成とはならない。しかも、第1の疑似ビデオ信号復号器21および第2の疑似ビデオ信号復号器22は強制的にバッファメモリのビデオ信号を無効化するから、次のチャンネル選択があっても、即応できる。

【0044】図2（A）は、第1の実ビデオ信号復号器16と第2の実ビデオ信号復号器17とがそれぞれ、チャンネル1のビデオ信号とチャンネル2のビデオ信号を処理している状態を示す。図2（B）に示したように、ユーザーがチャンネル3を選択すると、デマルチプレクシング回路11が第1の疑似ビデオ信号復号器21によってすでに空き状態になっている第3のビデオ信号バッファメモリ14にチャンネル2のビデオ信号を出力する。これにより、第3のビデオ信号バッファメモリ14にビデオ信号が蓄積され始める。同時に第1の実ビデオ信号復号器16が、作動的に接続されていた第1のビデオ信号バッファメモリ12から切り離され、第3のビデオ信号バッファメモリ14に作動的に接続されて、第3のビデオ信号バッファメモリ14に蓄積されているビデオ信号を復号処理する。この復号処理により、再生装置20は第2の実ビデオ信号復号器17から第1の実ビデオ信号復号器16に作動的に接続され、第1の実ビデオ信号復号器

16で復号処理したビデオ信号が再生装置20に出力される。一方、第1の実ビデオ信号復号器16から切り離された第1のビデオ信号バッファメモリ12には第1の疑似ビデオ信号復号器21が作動的に接続され、第1のビデオ信号バッファメモリ12に残っているビデオ信号を無効化する。

【0045】第2実施例において、チャンネル数だけバッファメモリが設けられているから、デマルチプレクシング回路11と第1のビデオ信号バッファメモリ12〜第4のビデオ信号バッファメモリ15との接続関係は固定しておき、第1のビデオ信号バッファメモリ12〜第4のビデオ信号バッファメモリ15と第1の実ビデオ信号復号器16および第2の実ビデオ信号復号器17、並びに、第1の疑似ビデオ信号復号器21と第2の疑似ビデオ信号復号器22との接続関係を作動的に接続する場合を例示した。第2実施例においては、第1の疑似ビデオ信号復号器21は第1の実ビデオ信号復号器16に作動的に接続されていたバッファメモリのビデオ信号の無効化処理を行い、第2の疑似ビデオ信号復号器22は第2の疑似ビデオ信号復号器22に作動的に接続されていたバッファメモリのビデオ信号の無効化を行う。第2実施例のビデオ信号復号装置10Aには2つの実ビデオ信号復号器16、17が設けられているから、チャンネル選択が任意に行われても、迅速に選択されたチャンネルについて、スタートアップディレーなしに、復号処理ビデオ信号が提供できる。

【0046】図3は本発明の復号装置の第3実施例としてのビデオ信号復号装置10Bの構成図である。このビデオ信号復号装置10Bは、特に、チャンネルが順番に切り換えられる方式に適した構成である。つまり、チャンネル選択スイッチ（図示せず）内の上シフトボタンを1回押すと、チャンネル数が1つ増加し、下シフトボタンを1回押すとチャンネル数が1つ減少するチャンネル選択方式に適した構成である。ビデオ信号復号装置10Bは、デマルチプレクシング回路11、第1のビデオ信号バッファメモリ12〜第3のビデオ信号バッファメモリ14、実ビデオ信号復号器16、第1の疑似ビデオ信号復号器21および第2の疑似ビデオ信号復号器22、および、再生装置20を有する。つまり、このビデオ信号復号装置10Bには、チャンネル数に依存せず、3個のバッファメモリ12〜15と、1個の実ビデオ信号復号器16と、2個の疑似ビデオ信号復号器21、22が設けられている。実ビデオ信号復号器16は選択されたチャンネルのビデオ信号について復号処理を行う。第1の疑似ビデオ信号復号器21は、チャンネルが1つ増加したとき、それまで実ビデオ信号復号器16が読み出していたバッファメモリに残っているビデオ信号を無効化する。第2の疑似ビデオ信号復号器22は、チャンネルが1つ減少したとき、それまで実ビデオ信号復号器16が読み出していたバッファメモリに残っているビデオ信号を無効化する。

【0047】図3（A）は、チャンネル2が選択されており、実ビデオ信号復号器16がチャンネル2のビデオ信号を蓄積している第2のビデオ信号バッファメモリ13からビデオ信号を読みだし、復号処理して、再生装置20に復号処理結果を出力している状態を示している。ユーザーがチャンネル選択スイッチ内の上シフトボタンを押すと、図3（B）に示したように、チャンネル3が選択される。デマルチプレクシング回路11は、第2の疑似ビデオ信号復号器22によって事前に無効化されている第3のビデオ信号バッファメモリ14にチャンネル3のビデオ信号を出力しはじめる。チャンネル切換によって実ビデオ信号復号器16とバッファメモリとの接続関係は、第2のビデオ信号バッファメモリ13から第3のビデオ信号バッファメモリ14に切り換わる。実ビデオ信号復号器16は新たな接続関係の第3のビデオ信号バッファメモリ14に蓄積されたビデオ信号を復号処理する。一方、第1の疑似ビデオ信号復号器21は切り換えられたチャンネル2のビデオ信号が残っている第2のビデオ信号バッファメモリ13のビデオ信号を無効化する。さらに、ユーザーがチャンネル選択スイッチ内の上シフトボタンを押すと、図3（C）に示したように、チャンネル4が選択される。デマルチプレクシング回路11は、第2の疑似ビデオ信号復号器22によって事前に無効化されている第1のビデオ信号バッファメモリ12にチャンネル4のビデオ信号を出力しはじめる。チャンネル切換によって実ビデオ信号復号器16とバッファメモリとの接続関係は、第3のビデオ信号バッファメモリ14から第1のビデオ信号バッファメモリ12に切り換わる。実ビデオ信号復号器16は新たな接続関係の第1のビデオ信号バッファメモリ12に蓄積されたビデオ信号を復号処理する。一方、第1の疑似ビデオ信号復号器21は切り換えられたチャンネル3のビデオ信号が残っている第3のビデオ信号バッファメモリ14のビデオ信号を無効化する。

【0048】ユーザーがチャンネル選択スイッチ内の上シフトボタンを押していった場合を述べたが、下シフトボタンを押していった場合は、上述した順序と逆に、第2の疑似ビデオ信号復号器22が実ビデオ信号復号器16から切り離されたバッファメモリの無効化処理を行う。このように、第3実施例においては、バッファメモリ、実ビデオ信号復号器16、および、疑似ビデオ信号復号器21、22がチャンネル選択状態に依存して、接続状態が変化する。第3実施例によれば、チャンネル数に依存されずに、3並列のバッファメモリ、1つの実ビデオ信号復号器16、2つの疑似ビデオ信号復号器21、22を設けるだけでよいから、回路構成が簡単であり、低価格でビデオ信号復号装置10Bを実現できる。

【0049】図4は本発明の復号装置の第4実施例としてのビデオ信号復号装置10Cの構成図である。ビデオ信号復号装置10Cは、デマルチプレクシング回路11、第1のビデオ信号バッファメモリ12および第2の

ビデオ信号バッファメモリ13、実ビデオ信号復号器16、疑似ビデオ信号復号器21、および、再生装置20を有する。つまり、このビデオ信号復号装置10Bには、チャンネル数に依存せず、2個のバッファメモリ12～15と、1個の実ビデオ信号復号器16と、1個の疑似ビデオ信号復号器21が設けられている。実ビデオ信号復号器16は選択されたチャンネルのビデオ信号について復号処理を行う。疑似ビデオ信号復号器21は、それまで実ビデオ信号復号器16が読み出していたバッファメモリに残っているビデオ信号を無効化する。

【0050】図4（A）は、チャンネル1が選択されており、実ビデオ信号復号器16がチャンネル1のビデオ信号を蓄積している第1のビデオ信号バッファメモリ12からビデオ信号を読みだし、復号処理して、再生装置20に復号処理結果を出力している状態を示している。ユーザーがチャンネル2を選択すると、図4（B）に示したように、チャンネル2が選択される。デマルチプレクシング回路11は、疑似ビデオ信号復号器21によって事前に無効化されている第2のビデオ信号バッファメモリ13にチャンネル2のビデオ信号を出力しはじめる。チャンネル

切り換えによって実ビデオ信号復号器16とバッファメモリとの接続関係は、第1のビデオ信号バッファメモリ12から第2のビデオ信号バッファメモリ13に切り換わる。実ビデオ信号復号器16は新たな接続関係の第2のビデオ信号バッファメモリ13に蓄積されたビデオ信号を復号処理する。一方、疑似ビデオ信号復号器21は切り換えられたチャンネル1のビデオ信号が残っている第1のビデオ信号バッファメモリ12のビデオ信号を無効化する。

【0051】このように、第4実施例においては、バッファメモリ12、13、実ビデオ信号復号器16、および、疑似ビデオ信号復号器21がチャンネル選択状態に依存して、接続状態が変化する。第4実施例によれば、チャンネル数に依存されずに、2並列のバッファメモリ、1つの実ビデオ信号復号器16、1つの疑似ビデオ信号復号器21を設けるだけでよいから、回路構成が簡単であり、低価格でビデオ信号復号装置10Cを実現できる。

【0052】上述した第1～第4の実施例は、チャンネル選択を行う場合について例示したが、プレーバックを行う場合も、上述したビデオ信号復号装置を適用できる。チャンネル選択とプレーバックとの相違は、プレーバック場合は、プレーバック前のビデオ信号が以前に選択されているチャンネルのビデオ信号に相当し、プレーバック後のビデオ信号が新たに選択されたチャンネルのビデオ信号に相当する。つまり、たとえば、図4のビデオ信号復号装置10Cを例示すると、図4（A）において、チャンネル1としてプレーバック前のビデオ信号を復号処理している場合に、プレーバックがあった場合、チャンネル2としてプレーバックが行われるビデオ信号を復号処理する。これにより、実ビデオ信号復号器16はプレーバック

クされた時点から第2のビデオ信号バッファメモリ13に蓄積されたビデオ信号を復号処理し、疑似ビデオ信号復号器21は第1のビデオ信号バッファメモリ12に蓄積されたビデオ信号を無効化し、次のプレーバックに備える。本発明によれば、プレーバックにおいても、スタートアップディレーなしにプレーバック後のビデオ信号が再生できる。

【0053】プレーバック処理について、図4に図解したビデオ信号復号装置に限らず、図1～図3に図解したビデオ信号復号装置を適用できることは言うまでもない。

【0054】以上の実施例は、圧縮されて入力されるビデオ信号をバッファリングし伸長などの復号処理を行う場合について述べたが、本発明は、そのようなビデオ信号の処理に限らず、圧縮されて入力されるオーディオ信号をバッファリングし伸長などの復号処理を行う場合、および、圧縮されて入力されるビデオ信号およびオーディオ信号の両者についても、上記同様に処理できる。

【0055】

【発明の効果】以上、本発明によれば、プレーバックまたはチャンネル切換のいずれの場合も、スタートアップディレーなしでビデオ信号およびオーディオ信号を再生できる。

【図面の簡単な説明】

【図1】本発明の復号装置の第1実施例としての、ビデオ信号復号装置の構成図である。

【図2】本発明の復号装置の第2実施例としての、ビデオ信号復号装置の構成図である。

【図3】本発明の復号装置の第3実施例としての、ビデオ信号復号装置の構成図である。

【図4】本発明の復号装置の第4実施例としての、ビデオ信号復号装置の構成図である。

【図5】従来のMPEGに基づくビデオ信号およびオーディオ信号処理装置の構成図である。

【図6】図5における拘束パラメータビットストリームのフォーマットを示す図であり、（A）は図5における符号処理系においてマルチプレクシングしたビットストリームを示し、（B）は復号処理系においてフォーマット変換した信号フォーマットを示す。

【図7】図5に示した復号処理系の構成図である。

【図8】従来の復号処理系におけるオーディオ信号受信バッファに入力されるオーディオ信号とオーディオ信号復号器に入力されるオーディオ信号とのタイミングの関係を示す図である。

【図9】従来の復号処理系におけるオーディオ信号受信バッファに入力されるオーディオ信号とオーディオ信号復号器に入力されるオーディオ信号とその他のタイミングの関係を示す図である。

【図10】バッファにおけるオーバーフローとアンダーフローを示す図である。

【図11】図10に示したオーバーフローまたはアンダ

一フローを防止する方法を示す図である。

【図12】スタートアップディレーを説明する図である。

【図13】他のバッファリング処理を示す図である。

【図14】さらに他のバッファリング処理を示す図である。

【図15】先行出願の復号器の構成図である。

【図16】図15に示した復号器で処理するビットストリームを示す図である。

【図17】従来の他のビットストリームを示す図である。

【図18】MPEGに基づく他の従来のビデオ信号およびオーディオ信号処理装置の構成図である。

【図19】従来の復号装置の概要を示す図である。

【図20】スタートアップディレーを示す第1のグラフである。

【図21】スタートアップディレーを示す第2のグラフ

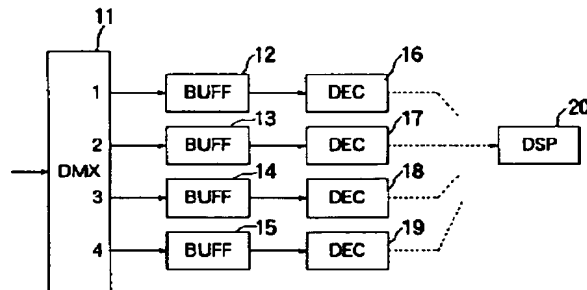
である。

【図22】スタートアップディレーを示す第3のグラフである。

【符号の説明】

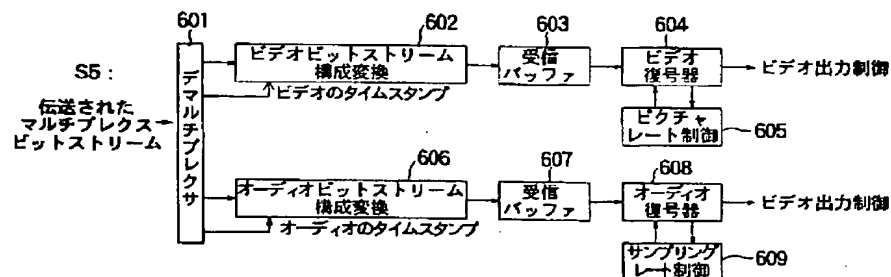
- 1・・・符号処理系
- 2・・・非圧縮ビデオ信号源
- 3・・・非圧縮オーディオ信号源
- 4・・・拘束パラメータシステムターゲットデコーダ
- 5・・・データ伝送系またはデータ蓄積系
- 6・・・復号処理系
- 10～10C・・・ビデオ信号復号装置
- 11・・・デマルチプレクシング回路
- 12～15・・・ビデオ信号バッファメモリ
- 16～19・・・実ビデオ信号復号器
- 20・・・再生装置
- 21～24・・・疑似ビデオ信号復号器

【図1】

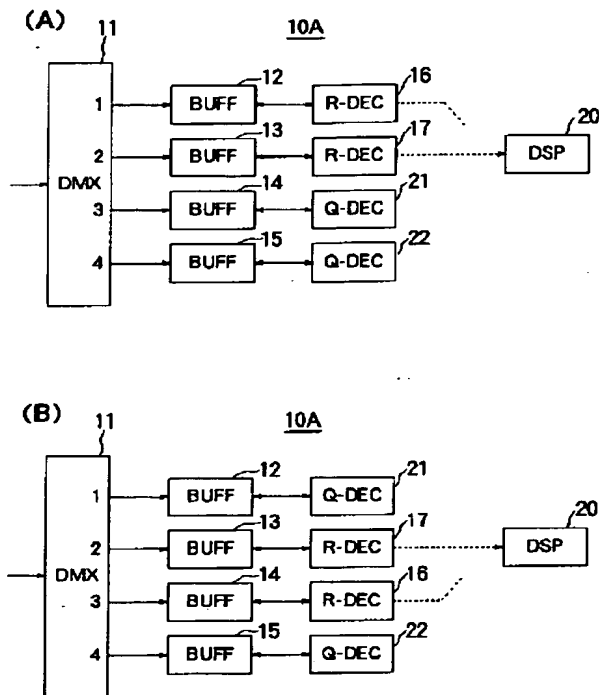


【図7】

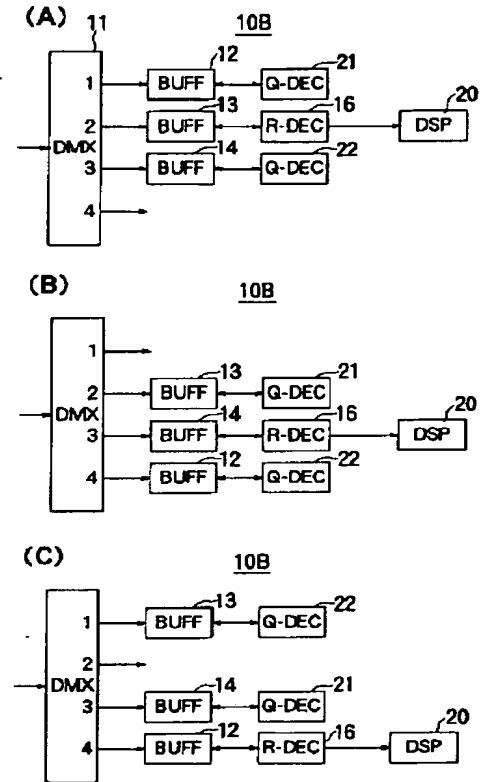
600



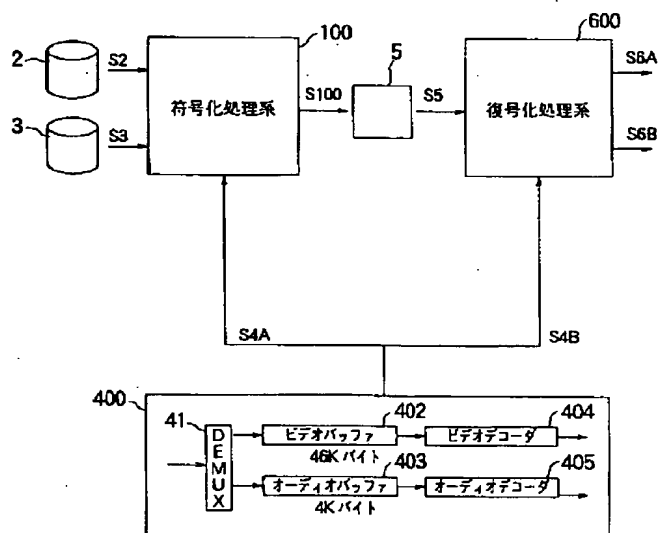
【図2】



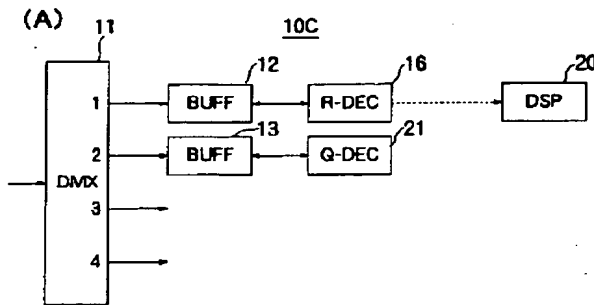
【図3】



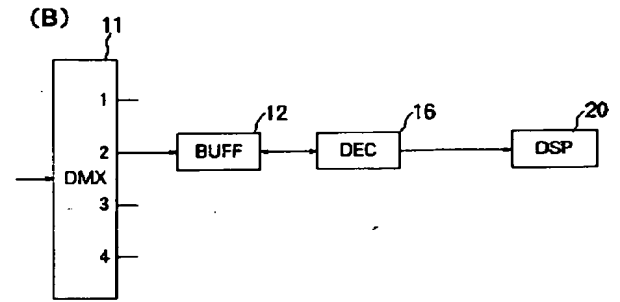
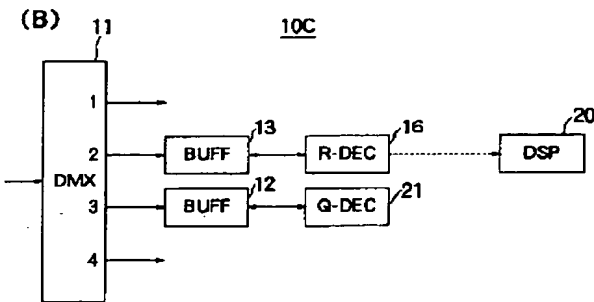
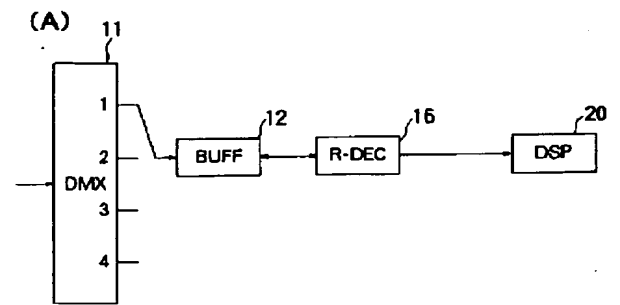
【図5】



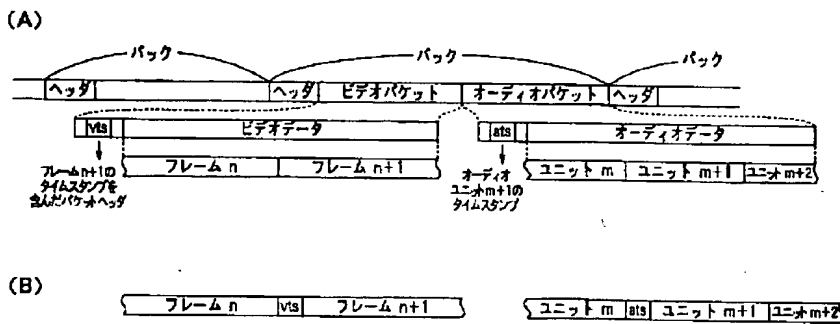
【図4】



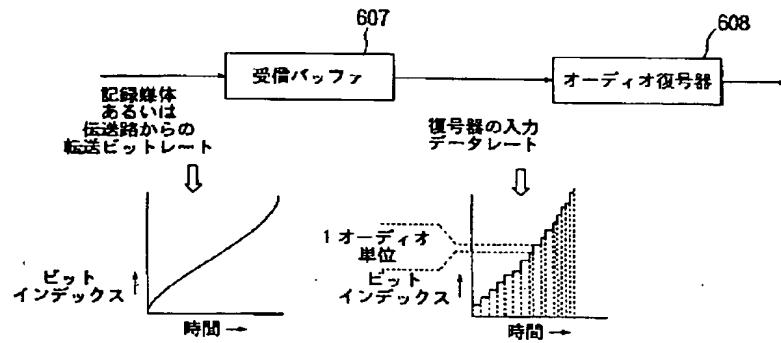
【図19】



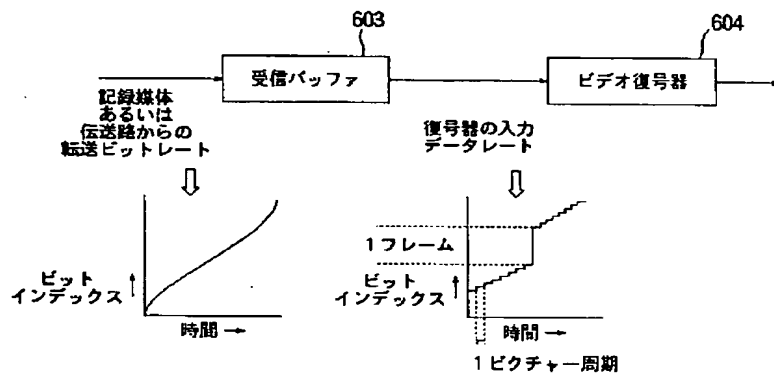
【図6】



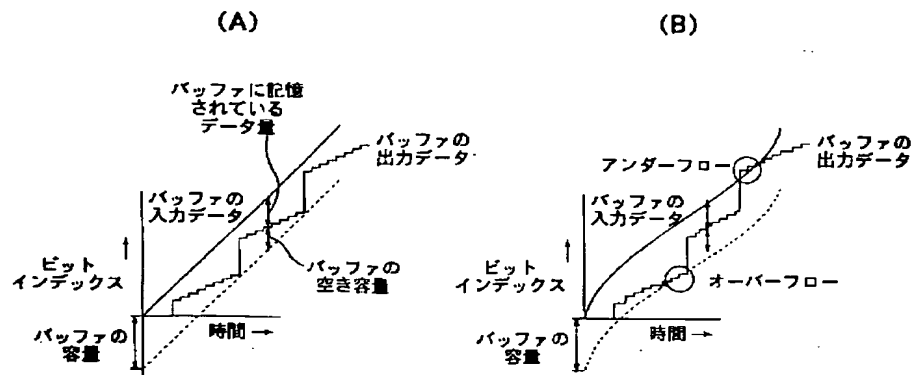
【図8】



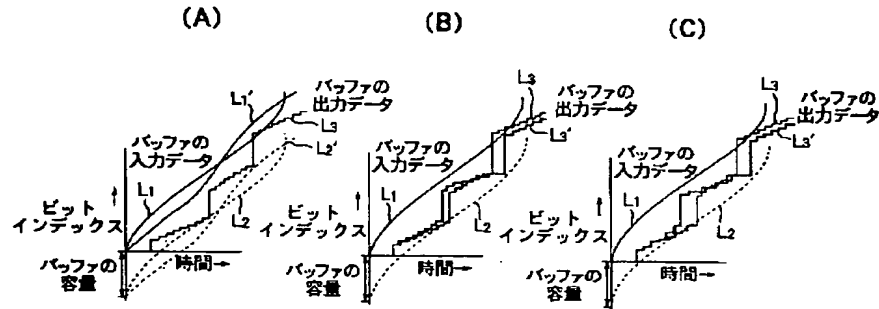
【図9】



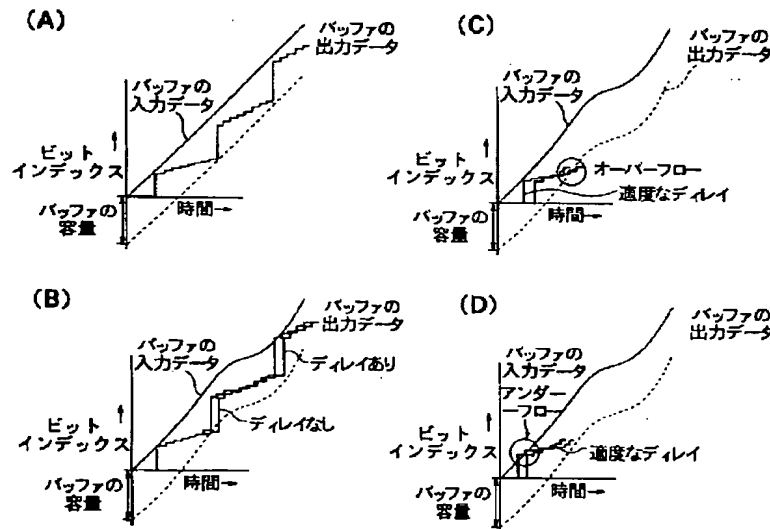
【図10】



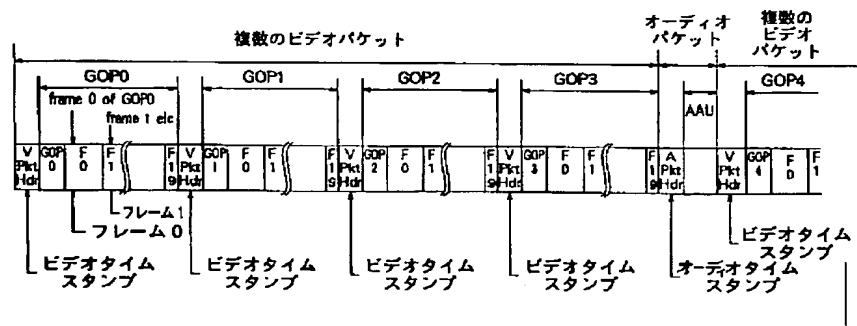
【図11】



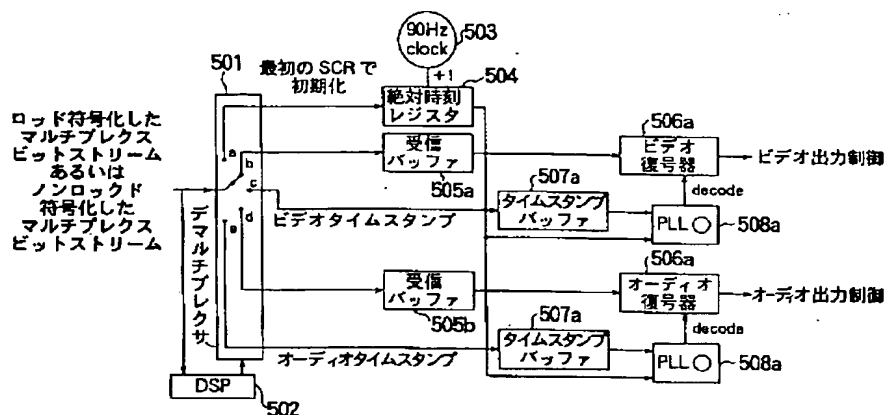
【図12】



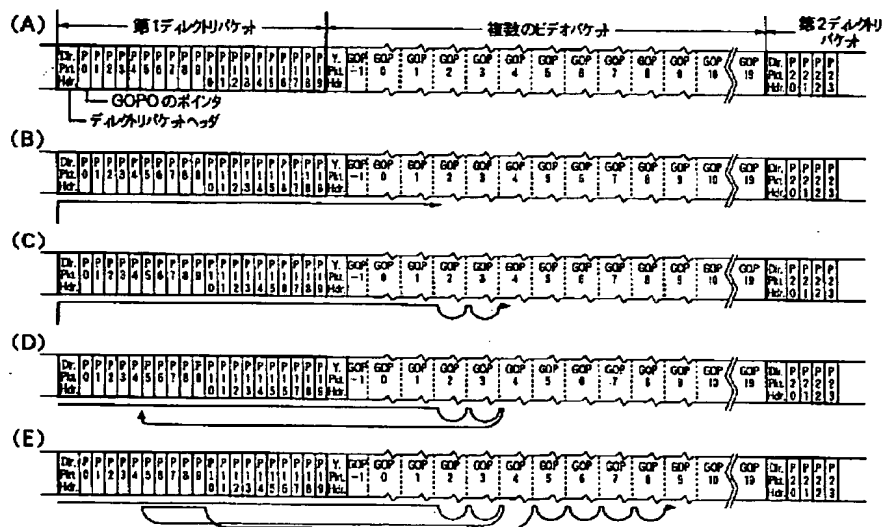
【図16】



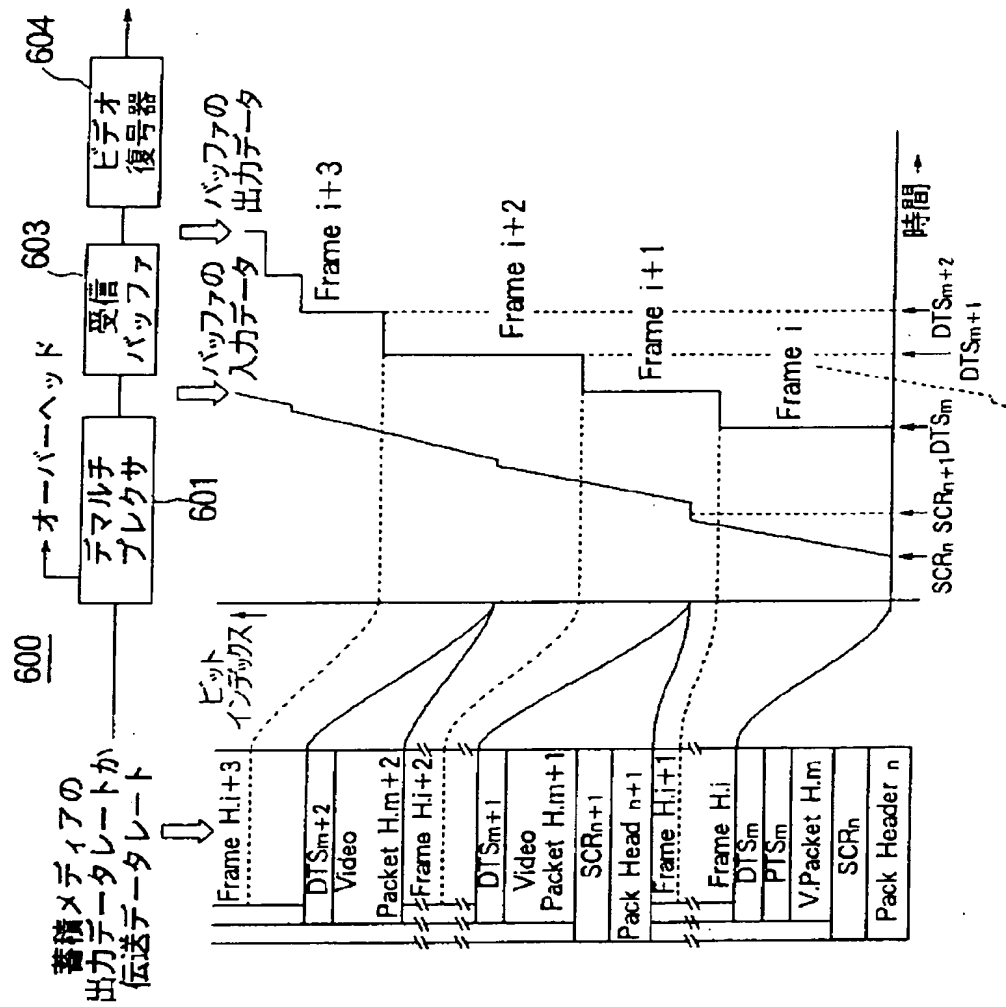
【図15】



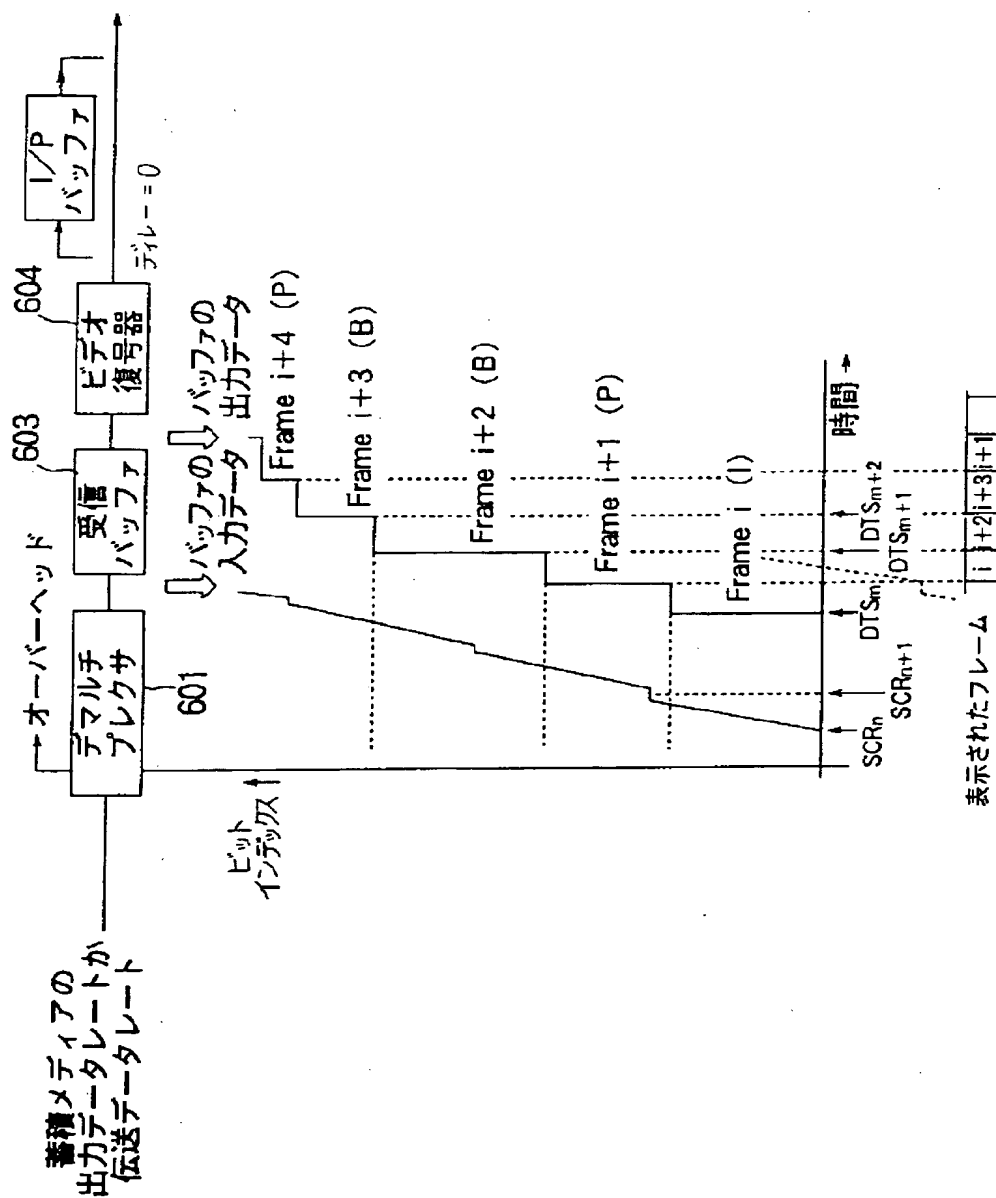
【図17】



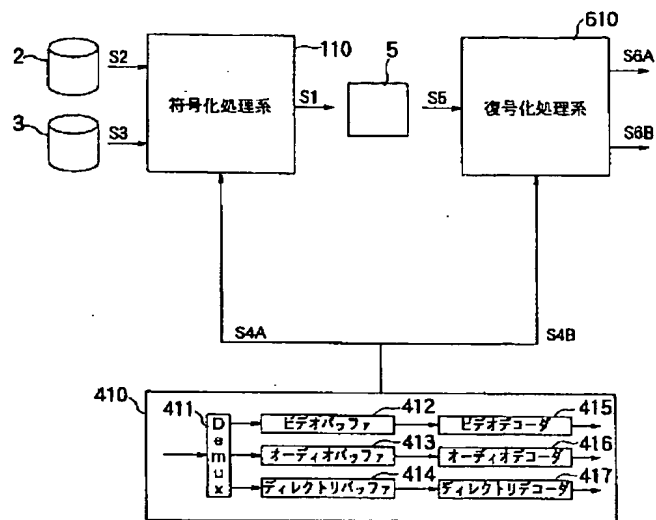
【図13】



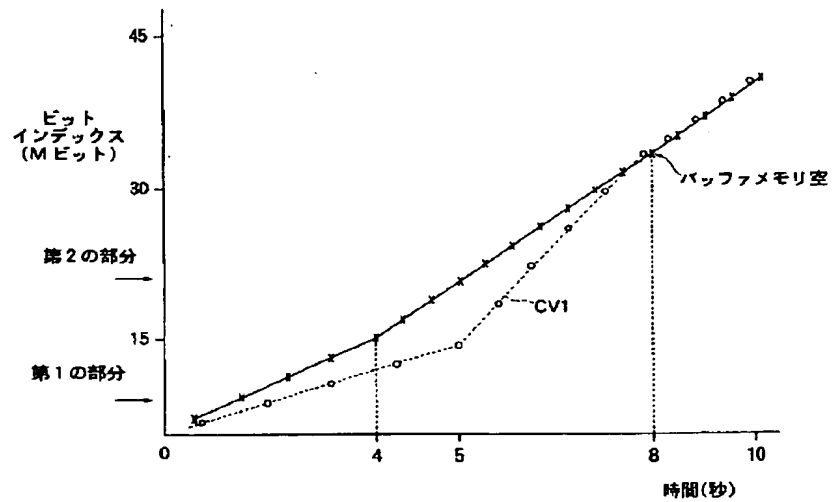
— 20 —



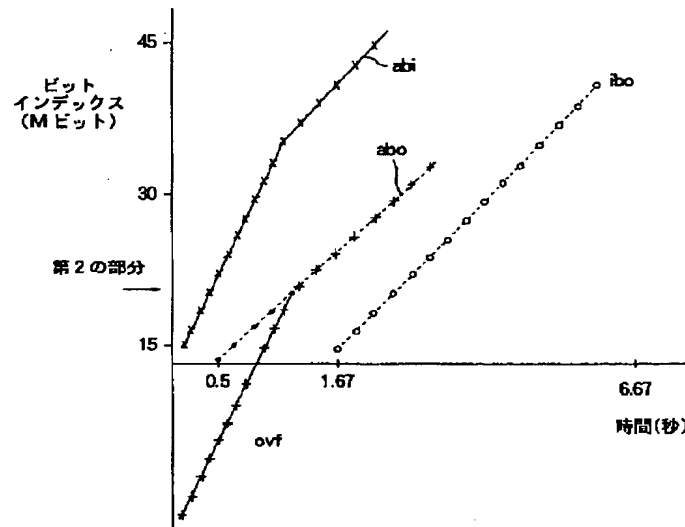
【図18】



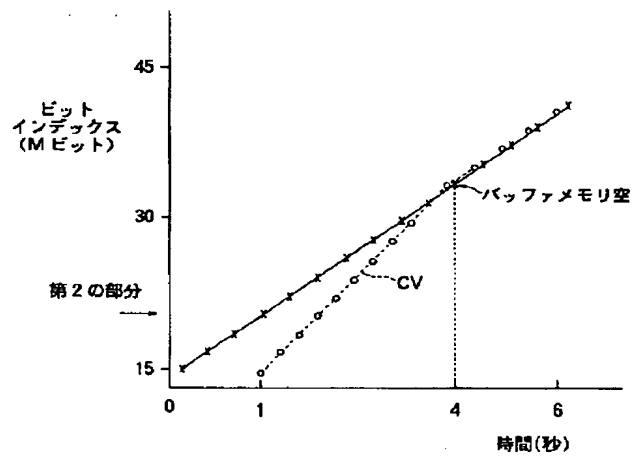
【図20】



【図22】



【図21】



フロントページの続き

(58) 調査した分野(Int. Cl.⁷, DB名)

H04B 14/04

G11B 20/10

H04J 3/22

H04N 7/24